

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 7月15日

出 願 番 号
Application Number:

特願2002-205391

[ST.10/C]:

[JP2002-205391]

出 願 人
Applicant(s):

三菱電機株式会社

2002年 8月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3064557

【書類名】 特許願

【整理番号】 540217JP01

【提出日】 平成14年 7月15日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/16

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 新居 浩二

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を備え、

前記ドライバ回路は、

第 1 の電圧と前記出力ノードとの間に配置され、第 1 の内部ノードの電圧レベルに応じてオン・オフする第 1 のトランジスタと、

前記出力ノードと第 2 の電圧との間に配置され、第 2 の内部ノードの電圧レベルに応じて前記第 1 のトランジスタと相補的にオン・オフする第 2 のトランジスタと、

前記入力信号に応じて前記第 1 および第 2 のトランジスタを相補的にオンさせるために、前記第 1 および第 2 の内部ノードの電圧を制御するための制御回路を含み、

前記制御回路は、前記第 1 および第 2 の内部ノードの少なくとも一方に接続される電圧調整回路を有し、

前記電圧調整回路は、接続される内部ノードの電圧レベルに応じてオン・オフする前記第 1 および第 2 のトランジスタの少なくとも一方のトランジスタをターンオンさせるときに、前記接続される内部ノードの電圧を前記第 1 および第 2 の電圧とは異なるレベルへ設定する、半導体装置。

【請求項 2】 前記対応するトランジスタをターンオンさせる時の前記対応する内部ノードの電圧は、前記第 1 および第 2 の電圧のいずれかに設定される、請求項 1 記載の半導体装置。

【請求項 3】 前記制御回路は、前記第 1 および第 2 の内部ノードの少なくとも一方に設けられるタイミング回路をさらに有し、

前記タイミング回路は、対応するトランジスタのターンオン時において、前記第 1 および第 2 の電圧のうち前記対応するトランジスタをオンさせる一方の電圧と対応する内部ノードとを所定期間接続する、請求項 1 記載の半導体装置。

【請求項 4】 前記タイミング回路は、前記出力ノードの電圧レベルに応じ

て前記所定期間を調整する、請求項 3 記載の半導体装置。

【請求項 5】 前記タイミング回路は、前記入力信号を遅延させるための遅延回路を有し、

前記所定期間は、前記遅延回路の遅延時間に相当する、請求項 3 記載の半導体装置。

【請求項 6】 前記制御回路は、前記第 1 の内部ノードと前記第 2 の内部ノードとの間の電氣的な接続を制御する接続回路をさらに有し、

前記接続回路は、所定期間、前記接続により前記第 1 および第 2 のトランジスタの少なくとも一方のターンオン時において、前記第 1 および第 2 の内部ノードに対して前記第 1 および第 2 の電圧のうち前記一方のトランジスタをオンさせる一方の電圧を与える、請求項 1 記載の半導体装置。

【請求項 7】 前記接続回路は、前記入力信号を遅延させる遅延回路を含み、

前記所定期間は、前記遅延回路の遅延時間に相当する、請求項 6 記載の半導体装置。

【請求項 8】 前記第 1 および第 2 のトランジスタは、電界効果型トランジスタで構成され、

前記半導体装置は、前記第 1 および第 2 のトランジスタの前記少なくとも一方とゲート酸化膜が異なる他の電界効果型トランジスタをさらに備える、請求項 1 記載の半導体装置。

【請求項 9】 前記他の電界効果型トランジスタの前記ゲート酸化膜は、前記第 1 および第 2 のトランジスタの前記少なくとも一方よりも厚い、請求項 8 記載の半導体装置。

【請求項 10】 前記第 1 および第 2 のトランジスタは、電界効果型トランジスタで構成され、

前記半導体装置は、前記第 1 および第 2 のトランジスタの前記少なくとも一方と誘電体膜が異なる他の電界効果型トランジスタをさらに備える、請求項 1 記載の半導体装置。

【請求項 11】 前記第 1 および第 2 のトランジスタの前記誘電体膜は、前

記他の電界効果型トランジスタよりも比誘電率が高い、請求項 1 0 記載の半導体装置。

【請求項 1 2】 前記入力信号は、複数の信号を含み、

前記制御回路は、前記複数の信号に基づく所定の論理演算結果に従って、前記第 1 および第 2 の内部ノードの電圧を制御する、請求項 1 記載の半導体装置。

【請求項 1 3】 前記制御回路は、前記第 1 および第 2 の内部ノードの少なくとも一方に設けられるタイミング回路をさらに有し、

前記タイミング回路は、対応するトランジスタのターンオン時において、前記第 1 および第 2 の電圧のうち前記対応するトランジスタをオンさせる一方の電圧と対応する内部ノードとを所定期間接続する、請求項 1 2 記載の半導体装置。

【請求項 1 4】 入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を備え、

前記ドライバ回路は、

第 1 の電圧と前記出力ノードとの間に配置され、第 1 の内部ノードの電圧レベルに応じてオン・オフする第 1 のトランジスタと、

前記出力ノードと第 2 の電圧との間に配置され、第 2 の内部ノードの電圧レベルに応じてオン・オフする第 2 のトランジスタと、

前記出力ノードと前記第 2 の電圧との間に前記第 2 のトランジスタと並列に配置され、前記第 1 の内部ノードの電圧レベルに応じて前記第 1 のトランジスタと相補的にオン・オフする第 3 のトランジスタと、

前記入力信号に応じて前記第 1 および第 2 の内部ノードの電圧を制御するための制御回路を含み、

前記制御回路は、前記第 1 および第 2 の内部ノードの少なくとも一方に設けられるタイミング回路をさらに有し、

前記タイミング回路は、対応するトランジスタのターンオン時において、前記第 1 および第 2 の電圧のうち前記対応するトランジスタをオンさせる一方の電圧と対応する内部ノードとを所定期間接続し、

前記第 2 のトランジスタは、前記第 3 のトランジスタより前記第 2 の電圧を前記出力ノードへ供給する駆動力が大きい、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、特にCMOSドライバ回路を備えた半導体装置に関する。

【0002】

【従来の技術】

近年、複数の処理回路を具備する半導体装置がワンチップマイコンとして製品化されており、このような半導体装置が携帯電話機などの電子回路機器等に利用されている。携帯電話機などのような携帯機器では、必然的にバッテリーを電源とするが、小型軽量化が要求されるためバッテリーも小型軽量化されている。

【0003】

このバッテリーの小型軽量化に加え、長時間のバッテリーの使用も要求されるためバッテリーの消費電力の削減も極度に要求されている。一方、デジタル方式の携帯電話機等の場合、音声信号をリアルタイムにデジタル処理するため、当該半導体装置の高速化も要求されている。

【0004】

上記の種々の要求において、回路内の信号処理部においては、内部回路に処理した信号を伝播するために電流駆動力の小さなトランジスタで構成し、外部に出力する回路については電流駆動力の大きなトランジスタで構成されたドライバ回路を用いることが一般的である。

【0005】

図18は、入力信号を伝播する従来のCMOSドライバ回路の回路構成図である。なお、以下においてはCMOSドライバ回路を単にドライバ回路とも称する。

【0006】

図18を参照して、従来のCMOSドライバ回路は、直列に接続された2段のインバータINV0とINV1とを含む。インバータINV0は、トランジスタPT0とNT0とを含む。トランジスタPT0は、電源電圧VDDとノードNaとの間に配置され、そのゲートは入力ノードと接続されて入力信号INの入力を

受ける。また、トランジスタ $N T 0$ は、ノード $N a$ と接地電圧 $G N D$ との間に配置され、そのゲートは入力信号 $I N$ の入力を受ける。

【0007】

インバータ $I N V 1$ は、トランジスタ $P T 1$ とトランジスタ $N T 1$ とを含む。トランジスタ $P T 1$ は、電源電圧 $V D D$ と出力ノードとの間に配置され、そのゲートはノード $N a$ と接続されている。また、トランジスタ $N T 1$ は、出力ノードと接地電圧 $G N D$ との間に配置され、そのゲートはノード $N a$ と接続されている。なお、トランジスタ $P T 0$ 、 $P T 1$ は、 P チャンネル $M O S$ トランジスタであり、トランジスタ $N T 0$ 、 $N T 1$ は、 N チャンネル $M O S$ トランジスタである。

【0008】

また、インバータ $I N V 1$ は、出力ノードに伝達された信号を出力信号 $O U T$ として出力する。

【0009】

なお、以下においては、入力信号 $I N$ を受ける入力ノードについても符号 $I N$ で示すとともに、出力信号 $O U T$ が駆動される出力ノードについても符号 $O U T$ で示すこととする。

【0010】

図19のタイミングチャート図を用いて従来の $C M O S$ ドライバ回路の動作について説明する。なお、以下の説明においては、一例として電源電圧 $V D D$ は $1 V$ 、接地電圧 $G N D$ は $0 V$ として説明する。また、高電圧レベル（電源電圧 $V D D : 1 V$ ）を「H」レベルとし、低電圧レベル（接地電圧 $G N D : 0 V$ ）を「L」レベルとして説明する。

【0011】

初期状態においては、入力信号 $I N$ は $0 V$ とする。この場合において、インバータ $I N V 0$ のトランジスタ $P T 0$ はオンし、電源電圧 $V D D$ とノード $N a$ とを電氣的に結合する。したがってノード $N a$ の電圧レベルは $1 V$ に設定されている。また、ノード $N a$ の電圧レベルに応答してインバータ $I N V 1$ のトランジスタ $N T 1$ はオンし、接地電圧 $G N D$ と出力ノードとを電氣的に結合する。したがって、出力ノードの電圧レベルは $0 V$ に設定されている。

【 0 0 1 2 】

時刻 T_1 において、入力信号 I_N が 0 V から 1 V に遷移した場合、インバータ I_{NV0} のトランジスタ P_{T0} はオフし、トランジスタ N_{T0} がオンする。これに
応答して、接地電圧 GND とノード N_a とが電氣的に結合され、ノード N_a の
電圧レベルは 0 V に設定される。また、インバータ I_{NV1} について考えると、
ノード N_a の電圧レベルに
応答してトランジスタ P_{T1} がオンし、電源電圧 V_{DD} と出力ノードとが電氣的に結合される。したがって、出力ノードの電圧レベル
は 1 V に設定される。出力信号 O_{UT} は、時刻 T_1 からトランジスタの動作遅延
時間経過後の時刻 T_{1a} に立上り、1 V に設定される。

【 0 0 1 3 】

一方、時刻 T_2 において入力信号 I_N が 1 V から 0 V に遷移した場合、インバ
ータ I_{NV0} のトランジスタ N_{T0} がオフし、トランジスタ P_{T0} がオンする。
これに
応答して、電源電圧 V_{DD} とノード N_a とが電氣的に結合され、ノード N_a の電圧レベルは 1 V に設定される。また、ノード N_a の電圧レベルに
応答して
インバータ I_{NV1} のトランジスタ P_{T1} はオフし、トランジスタ N_{T1} がオン
する。これにより、出力ノードと接地電圧 GND とが電氣的に結合され、出力ノ
ードの電圧レベルは 0 V に設定される。

【 0 0 1 4 】

上記において説明したように、CMOSドライバ回路は、入力信号 I_N の「L」
レベルから「H」レベルもしくは「H」レベルから「L」レベルの変化に伴い
、出力信号 O_{UT} が伝播される。

【 0 0 1 5 】

通常、出力ノードは、次段の回路と電氣的に接続され、その次段の回路の入力
容量や配線による寄生容量および抵抗等が出力負荷となる。高速に
入力信号 I_N に
応答して高速に出力信号 O_{UT} を伝播するためには、出力段のインバータ I_{NV1} を構成するトランジスタ P_{T1} および N_{T1} の動作速度を高速化させること
が必要である。具体的には、初段のインバータ I_{NV0} を構成するトランジスタ
 P_{T0} および N_{T0} より、出力段のインバータ I_{NV1} を構成するトランジスタ
 P_{T1} および N_{T1} のチャンネル幅を大きくして信号伝播速度を高速化させてい

る。たとえば、ゲート長がそれぞれ $0.1 \mu\text{m}$ の場合において、それぞれトランジスタ $PT0$ 、 $NT0$ 、 $PT1$ および $NT1$ のゲート幅は、各々 $2 \mu\text{m}$ 、 $1 \mu\text{m}$ 、 $10 \mu\text{m}$ 、 $5 \mu\text{m}$ 程度に設計されている。

【0016】

【発明が解決しようとする課題】

以上説明したように、従来のCMOSドライバ回路は、ドライバ回路を構成する出力段のインバータのゲート幅を大きくすることにより信号伝播速度の高速化を図る構成が一般的である。

【0017】

しかしながら、トランジスタの微細化技術が進むにつれて、ゲート酸化膜の膜厚が薄くなり、ゲートからソースやドレインもしくは基板間に流れるいわゆるゲートリーク電流が大きくなるという問題が生じてきている。

【0018】

図20は、ゲート酸化膜の厚膜とトランジスタ1個当りのゲートリーク電流との関係を示す図である。トランジスタのゲート長は $0.1 \mu\text{m}$ 、ゲート幅は $10 \mu\text{m}$ に設定されたトランジスタのリーク電流の特性図である。

【0019】

図20を参照して、横軸はゲート酸化膜厚を示しており、縦軸はトランジスタ1個当りのゲートリーク電流（単位A：アンペア）を示す。

【0020】

ここで示されるゲートリーク電流は、NチャンネルMOSトランジスタでは、ゲート端子に電源電圧 V_{DD} 、ソース、ドレインおよび基板端子にそれぞれ共通に接地電圧 GND を接続した場合において、ゲート端子からソース、ドレインおよび基板端子へリークする電流を示す。一方、PチャンネルMOSトランジスタでは、ゲート端子に接地電圧 GND 、ソース、ドレインおよび基板端子にそれぞれ共通に電源電圧 V_{DD} を供給した場合において、ソース、ドレインおよび基板端子からゲート端子へリークする電流を示す。

【0021】

これまでのゲート長が $0.18 \mu\text{m}$ 程度の世代においては、トランジスタのゲ

ート酸化膜厚は 2 6 0 n m 程度である。ここでゲート幅を 1 μ m とした場合におけるゲートリーク電流について考える。

【 0 0 2 2 】

図 2 0 において示されるゲートリーク電流はゲート面積にほぼ比例する。たとえば、ゲート酸化膜厚が 2 6 0 n m 程度でトランジスタのゲート長が 0. 1 μ m、ゲート幅が 1 0 μ m の場合は、トランジスタのゲートリーク電流は $1 \text{ E} - 1 4$ (A) 程度である。なお、 $1 \text{ E} - 1 4$ は、 $1 \times 1 0$ の $- 1 4$ 乗を指し示すものとする。以下においても同様である。そうすると、ゲート長が 0. 1 8 μ m、ゲート幅 W が 1 μ m 当りで考えると、トランジスタ 1 個当りのゲートリーク電流は $1. 8 \text{ E} - 1 5$ (A) 程度となる。

【 0 0 2 3 】

これに対して、トランジスタがスタンバイ状態であるときのソースドレイン間に流れるサブスレッショルドリーク電流は、同じ設定条件において $1 \text{ E} - 1 2$ (A) 程度である。したがって、サブスレッショルドリーク電流の方がゲートリーク電流よりも遥かに大きいため、ゲート長が 0. 1 8 μ m 程度の世代においてはゲートリーク電流の電流量を考慮する必要性はなかった。

【 0 0 2 4 】

しかし、近年の微細化技術の進歩および動作高速化の要求に伴い、ゲート酸化膜厚が薄くなるにつれてゲートリーク電流が無視できなくなっている。たとえばゲート長が 0. 1 μ m 世代においては、そのときのゲート酸化膜厚は 2 0 0 n m 程度に設計される。

【 0 0 2 5 】

図 2 0 を参照してゲート幅が 1 0 μ m である場合のトランジスタのゲートリーク電流を計算すると約 $1 \text{ E} - 1 1$ (A) 程度となる。このゲートリーク電流は、ゲート長が 0. 1 μ m、ゲート幅が 1 μ m で設計されたトランジスタで計算すると $1 \text{ E} - 1 2$ (A) 程度になる。したがって、上記のサブスレッショルドリーク電流と同等程度のリーク電流が流れることになりリーク電流を無視することができなくなっている。このように微細化技術に伴うトランジスタのゲートリーク電流の増大にともなって回路全体の消費電力が増大してしまうという問題が

ある。

【 0 0 2 6 】

また、上記において説明したように、ゲートリーク電流はトランジスタのゲート面積に比例するものである。したがって、ドライバ回路の最終段で用いられるトランジスタのゲート幅がより大きいトランジスタにおいて特にゲートリーク電流が増大する。

【 0 0 2 7 】

このようなリーク電流を低減する方式として、特開 2 0 0 1 - 1 5 6 2 6 0 号公報には、ゲート酸化膜厚の異なるトランジスタを混在させ、ゲート酸化膜厚が薄くゲートリーク電流が大きいトランジスタで構成した回路は、非動作時にその電源供給を止めてリーク電流を抑制するという方式が開示されている。しかしながら、このような方式では、動作、非動作に応じて電源供給を制御するための構成を設けることが必要である。また動作モードから非動作モードに切換えるための待ち時間も必要となりかかる方式では高速動作の障害ともなる。

【 0 0 2 8 】

本発明の目的は、上記の問題を解決するもので、代表的にはドライバ回路で用いられるゲート酸化膜厚の薄いトランジスタのゲートリーク電流を抑制して消費電力を低減する半導体装置を提供することである。

【 0 0 2 9 】

【課題を解決するための手段】

本発明のある局面に従う半導体装置は、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を備え、ドライバ回路は、第 1 の電圧と出力ノードとの間に配置され、第 1 の内部ノードの電圧レベルに応じてオン・オフする第 1 のトランジスタと、出力ノードと第 2 の電圧との間に配置され、第 2 の内部ノードの電圧レベルに応じて第 1 のトランジスタと相補的にオン・オフする第 2 のトランジスタと、入力信号に応じて第 1 および第 2 のトランジスタを相補的にオンさせるために、第 1 および第 2 の内部ノードの電圧を制御するための制御回路を含み、制御回路は、第 1 および第 2 の内部ノードの少なくとも一方に接続される電圧調整回路を有し、電圧調整回路は、接続される内部ノード

ドの電圧レベルに応じてオン・オフする第1および第2のトランジスタの少なくとも一方のトランジスタをターンオンさせるときに、接続される内部ノードの電圧を第1および第2の電圧とは異なるレベルへ設定する。

【0030】

好ましくは、対応するトランジスタをターンオンさせる時の対応する内部ノードの電圧は、第1および第2の電圧のいずれかに設定される。

【0031】

好ましくは、制御回路は、第1および第2の内部ノードの少なくとも一方に設けられるタイミング回路をさらに有し、タイミング回路は、対応するトランジスタのターンオン時において、第1および第2の電圧のうち対応するトランジスタをオンさせる一方の電圧と対応する内部ノードとを所定期間接続する。

【0032】

特に、タイミング回路は、出力ノードの電圧レベルに応じて所定期間を調整する。

【0033】

特に、タイミング回路は、入力信号を遅延させるための遅延回路を有し、所定期間は、遅延回路の遅延時間に相当する。

【0034】

好ましくは、制御回路は、第1の内部ノードと第2の内部ノードとの間の電氣的な接続を制御する接続回路をさらに有し、接続回路は、所定期間、接続により第1および第2のトランジスタの少なくとも一方のターンオン時において、第1および第2の内部ノードに対して第1および第2の電圧のうち一方のトランジスタをオンさせる一方の電圧を与える。

【0035】

特に、接続回路は、入力信号を遅延させる遅延回路を含み、所定期間は、遅延回路の遅延時間に相当する。

【0036】

好ましくは、第1および第2のトランジスタは、電界効果型トランジスタで構成され、半導体装置は、第1および第2のトランジスタの少なくとも一方とゲー

ト酸化膜が異なる他の電界効果型トランジスタをさらに備える。

【 0 0 3 7 】

特に、他の電界効果型トランジスタのゲート酸化膜は、第 1 および第 2 のトランジスタの少なくとも一方よりも厚い。

【 0 0 3 8 】

好ましくは、第 1 および第 2 のトランジスタは、電界効果型トランジスタで構成され、半導体装置は、第 1 および第 2 のトランジスタの少なくとも一方と誘電体膜が異なる他の電界効果型トランジスタをさらに備える。

【 0 0 3 9 】

特に、第 1 および第 2 のトランジスタの誘電体膜は、他の電界効果型トランジスタよりも比誘電率が高い。

【 0 0 4 0 】

好ましくは、入力信号は、複数の信号を含み、制御回路は、複数の信号に基づく所定の論理演算結果に従って、前記第 1 および第 2 の内部ノードの電圧を制御する。

【 0 0 4 1 】

特に、制御回路は、第 1 および第 2 の内部ノードの少なくとも一方に設けられるタイミング回路をさらに有し、タイミング回路は、対応するトランジスタのターンオン時において、第 1 および第 2 の電圧のうち対応するトランジスタをオンさせる一方の電圧と対応する内部ノードとを所定期間接続する。

【 0 0 4 2 】

本発明の他の局面に従う半導体装置は、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を備え、ドライバ回路は、第 1 の電圧と出力ノードとの間に配置され、第 1 の内部ノードの電圧レベルに応じてオン・オフする第 1 のトランジスタと、出力ノードと第 2 の電圧との間に配置され、第 2 の内部ノードの電圧レベルに応じてオン・オフする第 2 のトランジスタと、出力ノードと第 2 の電圧との間に第 2 のトランジスタと並列に配置され、第 1 の内部ノードの電圧レベルに応じて第 1 のトランジスタと相補的にオン・オフする第 3 のトランジスタと、入力信号に応じて第 1 および第 2 の内部ノードの電

圧を制御するための制御回路を含み、制御回路は、第 1 および第 2 の内部ノードの少なくとも一方に設けられるタイミング回路をさらに有し、タイミング回路は、対応するトランジスタのターンオン時において、第 1 および第 2 の電圧のうち対応するトランジスタをオンさせる一方の電圧と対応する内部ノードとを所定期間接続し、第 2 のトランジスタは、第 3 のトランジスタより第 2 の電圧を出力ノードへ供給する駆動力が大きい。

【 0 0 4 3 】

【発明の実施の形態】

本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰返さない。

【 0 0 4 4 】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 に従う CMOS ドライバ回路の回路構成図である。

【 0 0 4 5 】

図 1 を参照して、本発明の実施の形態 1 に従うドライバ回路は、インバータ INV 1 ～ INV 3 を含む。従来のドライバ回路と比較して、図 1 8 で説明したインバータ INV 0 を削除して、入力信号 IN を受けるインバータを並列に 2 段構成にした点異なる。具体的には、インバータ INV 2 は、入力信号 IN に応答してその出力結果をインバータ INV 1 のトランジスタ NT 1 のゲートと接続されたノード N 0 へ出力する。また、インバータ INV 3 は、入力信号 IN に応答してその出力結果をインバータ INV 1 のトランジスタ PT 1 のゲートと接続されたノード N 1 へ出力する。

【 0 0 4 6 】

インバータ INV 2 は、トランジスタ PTT 2, PT 2, NT 2 とを含む。ここでは、一例としてトランジスタ PTT 2 および PT 2 は、P チャンネル MOS トランジスタとする。また、トランジスタ NT 2 は、N チャンネル MOS トランジスタとする。トランジスタ PTT 2 は、ソース側を電源電圧 VDD と接続し、ドレイン-ゲート間を電氣的に結合している。つまり、トランジスタ PTT 2 は

、いわゆるダイオード接続されたトランジスタである。トランジスタ P T 2 は、トランジスタ P T T 2 を介して電源電圧 V D D とノード N 0 との間に配置され、そのゲートは入力信号 I N の入力を受ける。トランジスタ N T 2 は、ノード N 0 と接地電圧 G N D との間に配置され、そのゲートは入力信号 I N の入力を受ける。

【 0 0 4 7 】

インバータ I N V 3 は、トランジスタ P T 3 および N T 3 を含む。ここでは、一例としてトランジスタ P T 3 は P チャンネル M O S トランジスタとする。また、トランジスタ N T 3 は N チャンネル M O S トランジスタとする。トランジスタ P T 3 は、電源電圧 V D D とノード N 1 との間に配置され、そのゲートは入力信号 I N の入力を受ける。トランジスタ N T 3 は、ノード N 1 と接地電圧 G N D との間に配置され、そのゲートは入力信号 I N の入力を受ける。

【 0 0 4 8 】

図 2 のタイミングチャート図を用いて本発明の実施の形態 1 に従うドライバ回路の動作について説明する。

【 0 0 4 9 】

時刻 T 1 において、入力信号 I N が 0 V から 1 V に遷移した場合、インバータ I N V 2 のトランジスタ N T 2 がオンする。これに応答して、接地電圧 G N D とノード N 0 とが電氣的に結合され、ノード N 0 の電圧レベルは 0 V となる。また、インバータ I N V 3 のトランジスタ N T 3 がオンする。これに応答して、接地電圧 G N D とノード N 1 とが電氣的に結合され、ノード N 1 の電圧レベルは 0 V となる。このノード N 0 およびノード N 1 の電圧レベルに応じて、インバータ I N V 1 が動作する。ノード N 0 およびノード N 1 が共に 0 V すなわち「L」レベルであるためトランジスタ P T 1 がオンし、トランジスタ N T 1 はオフである。これに伴い、電源電圧 V D D とノード N b とが電氣的に結合され、出力ノード N b は 1 V となる。

【 0 0 5 0 】

次に、時刻 T 2 において入力信号 I N が 1 V から 0 V に遷移した場合について考える。インバータ I N V 2 において、トランジスタ N T 2 がオフとなり、トラ

ンジスタ P T 2 がオンする。これによりノード N 0 は、トランジスタ P T T 2 を介して電源電圧 V D D と電氣的に結合される。また、インバータ I N V 3 において、トランジスタ N T 3 がオフとなり、トランジスタ P T 3 がオンとなる。これにより、ノード N 1 は、電源電圧 V D D と電氣的に結合される。

【 0 0 5 1 】

このノード N 0 およびノード N 1 の電圧レベルに応じて、インバータ I N V 1 は、出力ノード N b を駆動する。ノード N 0 およびノード N 1 が共に「H」レベルであるためトランジスタ N T 1 がオンし、トランジスタ P T 1 はオフである。これに伴い、接地電圧 G N D とノード N b とが電氣的に結合され、出力ノード N b は 0 V となる。

【 0 0 5 2 】

ここでノード N 0 について考えると、ノード N 0 の電圧レベルは、ダイオード接続されたトランジスタ P T T 2 の閾値電圧分、電源電圧 V D D から降下した電圧レベルに設定される。なお、このトランジスタ P T T 2 の閾値電圧分、電源電圧 V D D から降下した電圧レベルはトランジスタの N T 1 のオン電圧（たとえば 0. 5 V）よりも高いものとする。たとえば、トランジスタ P T T 2 の閾値電圧が 0. 4 V であるとするとなード N 0 の電圧レベルは 0. 6 V（1 V - 0. 4 V）に設定される。したがって、トランジスタがオンするときのゲート電圧は、電源電圧 V D D レベル（1 V）よりも低い電圧レベル（0. 6 V）に設定される。これによりトランジスタ N T 1 がオンする。したがって、ノード N b は、接地電圧 G N D と電氣的に結合され、時刻 T 3 において完全に 0 V に立ち下がる。

【 0 0 5 3 】

図 3 は、ゲート酸化膜厚 2 0 0 n m で設計されたトランジスタの単位ゲート面積当たりのゲートリーク電流とそのときのゲート電圧との関係を示す図である。

【 0 0 5 4 】

図 3 を参照して、横軸はトランジスタのゲート電圧（V）を示す。縦軸はトランジスタの単位ゲート面積当りに流れるゲートリーク電流（A / μm^2 ）を示す。

【 0 0 5 5 】

図 3 に示されるように、ゲート電圧が 1 V の電圧レベルである場合には、その

ときの単位ゲート面積当りのゲートリーク電流は $1 \text{ E} - 1 1 \text{ (A} / \mu \text{ m}^2 \text{)}$ に設定される。一方、ゲート電圧を 0.5 V に降下させるとそのゲートリーク電流は 1 桁低減されて $1 \text{ E} - 1 2 \text{ (A} / \mu \text{ m}^2 \text{)}$ に設定される。このようにゲートリーク電流は、ゲート電圧に対して対数的に変化する特性を示すものであるため、ゲート電圧を僅かに降下させるだけでそのリーク電流は大幅に低減される。

【0056】

本発明の実施の形態 1 に従うドライバ回路は、インバータ $\text{INV} 2$ および $\text{INV} 3$ を用いて入力信号 IN に応じてノード $\text{N} 0$ および $\text{N} 1$ の電圧を制御する。また、インバータ $\text{INV} 2$ に含まれるトランジスタ $\text{NTT} 2$ を用いてトランジスタ $\text{NT} 1$ の電圧レベルを調整し、リーク電流を低減する。

【0057】

すなわち、上記において説明したようにトランジスタ $\text{NT} 1$ のゲートに供給するゲート電圧を電源電圧 VDD よりも低くオン電圧よりも高い値に設定することにより、トランジスタ $\text{NT} 1$ のゲートリーク電流を大幅に低減することができる。

【0058】

本発明の実施の形態 1 に従うドライバ回路の構成により、動作、非動作に応じて電源供給を制御する回路等を設けることなく、また、動作モードと非動作モードとの切替えを必要とすることなく、低消費電力で高速な CMOS ドライバ回路を実現することが可能となる。

【0059】

(実施の形態 2)

図 4 は、本発明の実施の形態 2 に従うドライバ回路の構成図である。

【0060】

図 4 を参照して、本発明の実施の形態 2 に従うドライバ回路は、図 1 に示したドライバ回路と比較して、所定期間内部ノードの電圧レベルを調整するタイミング回路 10 をさらに含む点が異なる。その他の点は実施の形態 1 のドライバ回路と同様の構成であるのでその説明は繰り返さない。

【0061】

タイミング回路 10 は、トランジスタ 1、2 と、インバータ 3 とを含む。ここでは、トランジスタ 1 および 2 は、P チャンネル MOS トランジスタとする。トランジスタ 1 および 2 は、電源電圧 VDD とノード N0 との間に直列に接続され、トランジスタ 1 のゲートは、入力信号 IN の入力を受ける。また、トランジスタ 2 のゲートは、インバータ 3 を介する出力信号 OUT の反転信号の入力を受ける。

【0062】

図 5 のタイミングチャート図を用いて本発明の実施の形態 2 に従うドライバ回路の動作について説明する。

【0063】

時刻 T1 において、入力信号 IN が 0 V から 1 V に遷移した場合についてはタイミング回路 10 は実質的に機能しない。したがって、実施の形態 1 で説明した図 2 のドライバ回路の動作と同様であり、その説明は繰返さない。

【0064】

時刻 T2 において、入力信号 IN が 1 V から 0 V に遷移した場合について考える。入力信号 IN が 1 V から 0 V に遷移した場合、これに伴いインバータ INV2 においてトランジスタ PT2 がオンし、トランジスタ PTT2 を介して電源電圧 VDD とノード N0 とが電氣的に結合される。したがって、インバータ INV2 は、上述したようにノード N0 の電圧レベルを 0.6 V に設定しようとする。

【0065】

ここで、タイミング回路 10 の動作について考える。インバータ 3 は、出力信号 OUT (「H」レベル) の反転信号 (「L」レベル) をトランジスタ 2 に出力し、トランジスタ 2 はオン状態である。ここで、時刻 T2 において、入力信号 IN が 1 V から 0 V に遷移した場合、トランジスタ 1 がオンする。したがって、トランジスタ 1 および 2 がオンしているため、電源電圧 VDD とノード N0 とが電氣的に結合される。これに伴い、ノード N0 の電圧レベルは 1 V に設定される。これに応答して、インバータ INV1 のトランジスタ NT1 がオンし、接地電圧 GND とノード Nb とが電氣的に結合され、ノード Nb の電圧レベルは 0 V (「L」レベル) に設定される。ノード Nb の電圧レベルが 0 V へ変化するとタイミ

ング回路 10 は、トランジスタ 2 をオフとする。すなわち、タイミング回路 10 からノード N0 に対しての電源電圧 VDD (1 V) の供給が停止される。

【0066】

本発明の実施の形態 2 に従うドライバ回路は、トランジスタ NT1 のターンオン時には、一時的にタイミング回路 10 により電源電圧 VDD と電氣的に直接結合させることによりトランジスタ NT1 のオン電流を増大させ、動作速度を上げる。

【0067】

これにより、ノード Nb の電圧レベルを 0 V に設定する時間を短縮することができる。すなわち、実施の形態 1 に従うドライバ回路では、図 2 に示されるようにトランジスタ NT1 のゲート電圧は 0.6 V に設定していたため入力信号 IN が 0 V になった時刻 T2 から出力信号 OUT が 0 V となる時刻 T3 までには期間 S0 を要していた。これに対して本発明の実施の形態 2 のドライバ回路の構成においては、トランジスタ NT1 の動作時には、ゲート電圧を 1 V の電圧レベルに設定することにより、入力信号 IN が 0 V になった時刻 T2 から出力信号 OUT が 0 V となる時刻 T4 までの期間 S1 は期間 S0 よりも短縮することが可能となる。

【0068】

さらに、出力信号 OUT が 0 V となった時刻 T4 以降においては、電源電圧 VDD とノード N0 とは電氣的に非接続とされるので、トランジスタ NT1 のオン電圧の範囲内においてノード N0 の電圧レベルは 0.6 V に降下する。したがって、出力信号 OUT が 0 V である定常的な状態においては、トランジスタ NT1 に与えるゲート電圧を降下させることによりゲートリーク電流を低減することができる。

【0069】

(実施の形態 2 の変形例 1)

図 6 は、本発明の実施の形態 2 の変形例 1 に従う CMOS ドライバ回路の回路構成図である。

【0070】

図 6 を参照して、本発明の実施の形態 2 の変形例 1 に従うドライバ回路は、図 5 に示す本発明の実施の形態 2 に従うドライバ回路と比較して、タイミング回路 1 0 をタイミング回路 2 0 に置換した点異なる。

【 0 0 7 1 】

タイミング回路 2 0 は、トランジスタ 2 1 と、NAND 回路 2 2 とを含む。ここでは、トランジスタ 2 1 は、一例として P チャンネル MOS トランジスタとする。NAND 回路 2 2 はノード N b からの出力信号 O U T とノード N 1 からの伝達された信号とを受けてその NAND 論理演算結果をトランジスタ 2 1 のゲートに出力する。トランジスタ 2 1 は、電源電圧 V D D とノード N 0 との間に配置され、そのゲートは NAND 回路 2 2 の入力を受ける。

【 0 0 7 2 】

本発明の実施の形態 2 の変形例 1 のドライバ回路の動作についても図 5 で示した実施の形態 2 のドライバ回路の動作を示すタイミングチャート図と同様である。具体的には、時刻 T 2 において、入力信号 I N が 1 V から 0 V に遷移するのに応答してノード N 1 の電圧レベルが 1 V (「H」レベル) となる。このとき、ノード N b の電圧レベルは 1 V (「H」レベル) であるので、NAND 回路 2 2 の出力信号は「L」レベルとなり、トランジスタ 2 1 がオンする。したがって、電源電圧 V D D とノード N 0 とが電氣的に結合され、ノード N 0 の電圧レベルは実施の形態 2 に従うドライバ回路の構成と同様に 1 V となる。これに応答して、トランジスタ N T 1 がオンし、接地電圧 G N D とノード N b とが電氣的に結合され、ノード N b の電圧レベルは 0 V となる。これに応答して、NAND 回路 2 2 の出力信号は「H」レベルとなり、トランジスタ 2 1 はオフとなる。また、以降の動作については実施の形態 2 に従うドライバ回路の動作と同様であるのでその説明は繰り返さない。すなわち、本発明の実施の形態 2 の変形例 1 のドライバ回路の構成においても、トランジスタ N T 1 がオンする場合には、タイミング回路 2 0 により電源電圧 V D D と電氣的に直接結合させることによりトランジスタ N T 1 を高速動作させる。また、タイミング回路 2 0 により、出力信号 O U T が 0 V である定常的な状態においては、ゲート電圧を降下 (0. 6 V) させることによりゲートリーク電流を低減することができる。

【 0 0 7 3 】

本発明の実施の形態 2 の変形例 1 のドライバ回路の構成により、実施の形態 2 のドライバ回路の構成と同様に消費電力を低減することが可能となる。

【 0 0 7 4 】

(実施の形態 2 の変形例 2)

図 7 は、本発明の実施の形態 2 の変形例 2 に従う CMOS ドライバ回路の回路構成図である。

【 0 0 7 5 】

図 7 を参照して、本発明の実施の形態 2 の変形例 2 に従うドライバ回路は、図 6 に示すドライバ回路と比較して、タイミング回路 2 0 をタイミング回路 3 0 に置換した点異なる。

【 0 0 7 6 】

タイミング回路 3 0 は、トランジスタ 3 1 と、NAND 回路 3 2 と、インバータ 3 3 と、遅延回路 3 4 とを含む。ここでは、一例としてトランジスタ 3 1 は、P チャンネル MOS トランジスタとする。NAND 回路 3 2 は、インバータ 3 3 を介する入力信号 I N の反転信号と遅延回路 3 4 による入力信号 I N の所定期間遅延後の遅延信号とを受けてその NAND 論理演算結果をトランジスタ 3 1 のゲートに出力する。トランジスタ 3 1 は、電源電圧 V D D とノード N 0 との間に配置され、そのゲートは NAND 回路 3 2 の出力信号の入力を受ける。

【 0 0 7 7 】

本発明の実施の形態 2 の変形例 2 のドライバ回路の動作については実施の形態 2 の図 5 で説明したドライバ回路の動作と同様である。

【 0 0 7 8 】

タイミング回路 3 0 は、遅延回路 3 4 の遅延時間分、トランジスタ 3 1 をオンし、電源電圧 V D D とノード N 0 とを電氣的に結合する。すなわち、ノード N 0 の電圧レベルを 1 V に設定する。

【 0 0 7 9 】

これにより、遅延回路 3 4 の遅延時間を調整することによりノード N 0 と電源電圧 V D D との電氣的な接続時間を調整することができる。すなわち、ノード N

0 の電圧レベルを 1 V に設定する期間を調整することができる。これにより、効率的に電源電圧 VDD をノード N0 に供給することが可能となり消費電力をさらに低減することが可能となる。

【 0 0 8 0 】

(実施の形態 3)

図 8 は、本発明の実施の形態 3 に従う CMOS ドライバ回路の回路構成図である。

【 0 0 8 1 】

図 8 を参照して、本発明の実施の形態 3 に従うドライバ回路は、図 4 で説明した実施の形態 2 のドライバ回路と比較して、タイミング回路 10 をタイミング回路 40 に置換した点が異なる。タイミング回路 40 は、トランジスタ 41 とインバータ 42 とを含む。ここでは一例としてトランジスタ 41 は P チャンネル MOS トランジスタとする。トランジスタ 41 は、ノード N1 とノード N0 との間に配置され、そのゲートはインバータ 42 を介する出力信号 OUT の反転信号の入力を受ける。

【 0 0 8 2 】

タイミング回路 40 は、タイミング回路 20 と同様にトランジスタ NT1 のターンオン時に一時的に電源電圧 VDD とノード N0 とを電氣的に結合する。具体的には、出力信号 OUT が 1 V (「H」レベル) においてトランジスタ 41 をオンし、ノード N1 とノード N0 とを電氣的に結合する。

【 0 0 8 3 】

本発明の実施の形態 3 のドライバ回路の動作についても実施の形態 2 の図 5 で説明したドライバ回路の動作と同様である。具体的には、入力信号 IN が 1 V から 0 V に遷移した場合について考える。このときの出力信号 OUT は 1 V であるので、タイミング回路 40 において、トランジスタ 41 は、ノード N1 とノード N0 とを電氣的に導通状態に設定する。インバータ INV3 は、入力信号 IN が 1 V から 0 V に遷移するのに応答してノード N1 と電源電圧 VDD (1 V) とを電氣的に結合する。これに伴い、ノード N0 と当該電源電圧 VDD とが電氣的に結合される。これに応答して、インバータ INV1 のトランジスタ NT1 がオン

し、ノードN_bが接地電圧GND（0V）と電氣的に結合される。また、これに
 応答してタイミング回路40は、ノードN₁とノードN₀とを非接続とする。す
 なわち、本発明の実施の形態3のドライバ回路の構成においても、トランジスタ
 NT₁がターンオンする場合には、タイミング回路40により電源電圧VDDと
 ノードN₀とを電氣的に直接結合させてトランジスタNT₁を高速動作させるこ
 とができる。また、タイミング回路40により、出力信号OUTが0Vである定
 常的な状態においては、トランジスタ41をオフして、トランジスタNT₁のゲ
 ート電圧を降下（0.6V）させることによりゲートリーク電流を低減すること
 ができる。

【0084】

（実施の形態3の変形例1）

図9は、本発明の実施の形態3の変形例1に従うCMOSドライバ回路の回路
 構成図である。

【0085】

図9を参照して、本発明の実施の形態3の変形例1に従うドライバ回路は、図
 8の実施の形態3のドライバ回路と比較して、タイミング回路40をタイミング
 回路50に置換した点が異なる。

【0086】

タイミング回路50は、トランジスタ51と、インバータ52と、遅延回路5
 3とを含む。ここではトランジスタ51は、一例としてPチャンネルMOSトラ
 ンジスタとする。トランジスタ51は、ノードN₁とノードN₀との間に配置さ
 れ、インバータ52を介して遅延回路53を通過した入力信号INの反転信号の
 入力を受ける。すなわち、タイミング回路50は、インバータ52および遅延回
 路53の通過遅延時間分入力信号INを遅延させる。したがって、入力信号IN
 の1Vから0Vの遷移に応答してトランジスタ51はノードN₀とノードN₁と
 の導通状態をある遅延時間経過後に非導通状態に設定する。

【0087】

本発明の実施の形態3の変形例1のドライバ回路の動作については図5で説明
 したのと同様である。

【 0 0 8 8 】

タイミング回路 5 0 は、入力信号 I N が 1 V から 0 V に遷移した場合において、入力信号 I N の遅延回路 5 3 の遅延時間経過後にオン状態であるトランジスタ 5 1 をオフ状態とする。入力信号 I N が 1 V から 0 V に遷移するに伴い、インバータ I N V 3 は電源電圧 V D D とノード N 1 とを電氣的に結合する。したがって、電源電圧 V D D とノード N 0 とが、遅延回路 5 3 の遅延時間に相当する期間、電氣的に結合され、ノード N 0 の電圧レベルは 1 V に設定される。

【 0 0 8 9 】

これにより、遅延回路 5 3 の遅延時間を調整することによりノード N 0 と電源電圧 V D D との電氣的な接続時間を調整することができる。すなわち、ノード N 0 の電圧レベルを 1 V に設定する期間を調整することができる。これにより、効率的に電源電圧 V D D をノード N 0 に供給することが可能となり消費電力をさらに低減することが可能となる。

【 0 0 9 0 】

(実施の形態 4)

図 1 0 は、本発明の実施の形態 4 に従う C M O S ドライバ回路の回路構成図である。

【 0 0 9 1 】

上記の実施の形態 1 ～ 3 のドライバ回路の構成においては、N チャンネル M O S トランジスタ N T 1 のターンオン時におけるゲート電圧を調整することにより、全体として消費電力を低減する構成について説明してきた。本発明の実施の形態 4 に従うドライバ回路は、N チャンネル M O S トランジスタ N T 1 のゲートリーク電流を低減するとともに、P チャンネル M O S トランジスタ P T 1 のゲートリーク電流も低減することにより、全体として消費電力をさらに低減することを目的とする。

【 0 0 9 2 】

図 1 0 を参照して、本発明の実施の形態 4 に従うドライバ回路は、実施の形態 3 のドライバ回路と比較して、インバータ I N V 3 をインバータ I N V # 3 に置換した点と、タイミング回路 4 0 をタイミング回路 6 0 に置換した点とが異なる

。その他の点は同様であるのでその説明は繰返さない。

【 0 0 9 3 】

インバータ I N V # 3 は、インバータ I N V 3 と比較してさらにトランジスタ N T T 3 を含む点で異なる。ここでは、一例としてトランジスタ N T T 3 は、N チャンネル M O S トランジスタとする。トランジスタ N T T 3 は、ソース側を接地電圧 G N D と接続し、ドレインおよびゲートを電氣的に結合したいわゆるダイオード接続したトランジスタである。また、トランジスタ N T T 3 は、トランジスタ N T 3 と接地電圧 G N D との間に配置される。インバータ I N V # 3 は、トランジスタ N T 3 がオンした場合、トランジスタ N T T 3 を介して接地電圧 G N D とノード N 1 とを電氣的に結合する。このときのノード N 1 の電圧レベルは、接地電圧 G N D からトランジスタ N T T 3 の閾値電圧分上昇した値となる。なお、このトランジスタ N T T 3 の閾値電圧分、接地電圧 G N D から上昇した電圧レベルはトランジスタの P T 1 のオン電圧（たとえば 0 . 7 V ）の範囲内とする。ここでは、トランジスタ N T T 3 の閾値電圧は、一例として 0 . 4 V とする。したがって、トランジスタ P T 1 は 0 . 4 V でターンオンする。

【 0 0 9 4 】

タイミング回路 6 0 は、トランジスタ 6 1 , 6 2 とインバータ 6 3 , 6 4 とを含む。ここでは、一例としてトランジスタ 6 1 は、N チャンネル M O S トランジスタとする。また、トランジスタ 6 2 は、P チャンネル M O S トランジスタとする。インバータ 6 4 は、入力信号 I N の入力を受けてその反転信号をノード N 2 に伝達する。トランジスタ 6 1 は、ノード N 1 とノード N 2 との間に配置され、そのゲートはインバータ 6 3 を介する出力信号 O U T の反転信号の入力を受ける。トランジスタ 6 2 は、ノード N 2 とノード N 0 との間に配置され、そのゲートはインバータ 6 3 を介する出力信号 O U T の反転信号の入力を受ける。すなわちトランジスタ 6 1 および 6 2 は相補的にオンし、ノード N 2 とノード N 1 およびノード N 0 の一方とが電氣的に結合されている。

【 0 0 9 5 】

図 1 1 のタイミングチャート図を用いて本発明の実施の形態 4 に従うドライバ回路の動作について説明する。

【 0 0 9 6 】

時刻 T_1 において、入力信号 IN が 0 V から 1 V に遷移した場合、インバータ INV_2 のトランジスタ NT_2 がオンし、ノード N_0 の電圧レベルは、 0 V となる。一方、インバータ INV_3 において、トランジスタ NT_3 がオンする。したがって、インバータ INV_3 は、ノード N_1 の電圧レベルを 0.4 V に設定しようとする。

【 0 0 9 7 】

ここで、タイミング回路 60 は、インバータ 63 を介する出力信号 OUT (「L」レベル) の入力により、トランジスタ 61 を導通状態に設定している。この場合において、入力信号 IN が 0 V から 1 V に遷移した場合、インバータ 64 は、ノード N_2 と接地電圧 GND とを電氣的に結合させる。すなわち、ノード N_0 とノード N_1 とは導通状態であるため、結果としてノード N_1 の電圧レベルは 0 V に降下する。これに伴い、インバータ INV_1 のトランジスタ PT_1 はオンし、電源電圧 VDD とノード N_b とが電氣的に結合され、ノード N_b の電圧レベルは 1 V に設定される。

【 0 0 9 8 】

また、タイミング回路 60 は、これに応答してトランジスタ 61 をオフして非導通状態とし、トランジスタ 62 をオンして導通状態に設定する。したがって、トランジスタ PT_1 がターンオンする場合には、タイミング回路 60 により接地電圧 GND と電氣的に直接結合させることによりトランジスタ PT_1 のオン電流を増大させ、動作速度を上げる。これにより、ノード N_b の電圧レベルを 1 V に設定する時間を短縮することができる。

【 0 0 9 9 】

さらに出力信号 OUT が 1 V となった時刻 T_4 以降においては、接地電圧 GND とノード N_1 とは電氣的に非接続とされるのでトランジスタ PT_1 のオン電圧の範囲内でノード N_1 の電圧レベルは 0.4 V に上昇する。したがって、出力信号 OUT が 1 V である定常的な状態においては、ゲート電圧を上昇させることにより P チャンネル MOS トランジスタ PT_1 のゲートリーク電流を低減することができる。

【 0 1 0 0 】

次に、時刻 T_2 において、入力信号 I_N が $1V$ から $0V$ に遷移した場合については、図 5 で説明した実施の形態 2 のドライバ回路の動作と同様であるのでその説明は繰り返さない。

【 0 1 0 1 】

すなわち、具体的には、NチャンネルMOSトランジスタ NT_1 の動作時において、インバータ 64 により電源電圧 V_{DD} とノード N_0 とが電氣的に直接結合される。また、出力信号 OUT が $0V$ である定常的な状態においては、ゲート電圧を下降させることにより、NチャンネルMOSトランジスタ NT_1 のリーク電流を低減することができる。

【 0 1 0 2 】

本発明の実施の形態 4 のドライバ回路の構成により、トランジスタ NT_1 および PT_1 の動作時は、通常の電源電圧 V_{DD} および接地電圧をそれぞれ供給することによりトランジスタを高速動作させ、定常状態においてはそれぞれ下降および上昇させることによりリーク電流を低減することができる。

【 0 1 0 3 】

すなわち、本発明の実施の形態 4 のドライバ回路によりトランジスタ NT_1 のリーク電流を低減するとともに、トランジスタ PT_1 のリーク電流も低減することができるため全体として消費電力をさらに低減することが可能となる。

【 0 1 0 4 】

(実施の形態 5)

図 12 は、本発明の実施の形態 5 に従うドライバ回路の回路構成図である。

【 0 1 0 5 】

上記の実施の形態 1 ～ 4 のドライバ回路の構成においては 1 入力の入力信号 I_N に応じて出力信号 OUT を出力するドライバ回路の構成について説明してきた。

【 0 1 0 6 】

本発明の実施の形態 5 に従うドライバ回路においては 2 入力の入力信号 I_{N1} および I_{N2} に応じて AND 論理演算結果である出力信号 OUT を出力するドラ

イバ回路の回路構成について説明する。

【0107】

図12を参照して、本発明の実施の形態5のドライバ回路は、NAND回路ND0およびND1と、タイミング回路70と、インバータINV1とを含む。

【0108】

NAND回路ND0は、トランジスタ102～106とを含む。トランジスタ105および106は、ノードN0と接地電圧GNDとの間に直列に接続され、そのゲートはそれぞれ入力信号IN1およびIN2の入力を受ける。トランジスタ102は、ソース側を電源電圧VDDと接続し、ゲートドレイン間を電氣的に結合したいわゆるダイオード接続したトランジスタである。ここでは、トランジスタ102の閾値電圧は、0.4Vとする。トランジスタ103および104は、トランジスタ102を介して並列に電源電圧VDDとノードN0との間に配置され、そのゲートはそれぞれ入力信号IN1およびIN2の入力を受ける。このNAND回路ND0は、入力信号IN1およびIN2の入力に応じてそのNAND論理演算結果をノードN0に出力する。また、NAND回路ND1は、入力信号IN1およびIN2の入力に応じてそのNAND論理演算結果をノードN1に出力する。たとえば入力信号IN1およびIN2がともに「H」レベルに設定されているときにはノードN1は「L」レベルすなわち0Vに設定される。一方、入力信号IN1およびIN2のいずれか一方が「H」レベルのときはノードN1は「H」レベルすなわち1Vに設定する。

【0109】

タイミング回路70は、トランジスタ71～73と、インバータ74とを含む。トランジスタ71および72は、それぞれ電源電圧VDDとトランジスタ73との間に並列に配置され、それぞれ入力信号IN1およびIN2の入力を受ける。トランジスタ73は、トランジスタ71および72とノードN0との間に配置され、そのゲートは、インバータ74を介する出力信号OUTの反転信号の入力を受ける。

【0110】

図13のタイミングチャート図を用いて本発明の実施の形態5に従うドライバ

回路の動作について説明する。初期状態において、入力信号 $IN1$ は、 $0V$ とし、入力信号 $IN2$ は、 $1V$ とする。

【0111】

時刻 $T1$ において、入力信号 $IN1$ が $0V$ から $1V$ に遷移した場合について考える。入力信号 $IN1$ および $IN2$ がともに $1V$ に設定されるため、これにตอบสนองして $NAND$ 回路 $ND1$ は、ノード $N1$ の電圧レベルを $0V$ に設定する。 $NAND$ 回路 $ND0$ において、入力信号 $IN1$ および $IN2$ にตอบสนองしてトランジスタ 105 および 106 がオンする。したがって、接地電圧 GND とノード $N0$ とが電氣的に結合され、ノード $N0$ の電圧レベルは $0V$ となる。これに伴い、インバータ $INV1$ のトランジスタ $PT1$ がオンし、電源電圧 VDD とノード Nb とが電氣的に結合される。したがって、ノード Nb の電圧レベルは、 $1V$ に設定される。

【0112】

一方、タイミング回路 70 のトランジスタ 73 は、インバータ 74 を介する出力信号 OUT の反転信号の入力を受ける。したがって、出力信号 OUT が「H」レベルである場合において、トランジスタ 73 は導通状態に設定されている。

【0113】

時刻 $T2$ において、入力信号 $IN1$ が $1V$ から $0V$ に遷移した場合について考える。この場合において、 $NAND$ 回路 $ND1$ は、入力信号 $IN1$ および $IN2$ にตอบสนองしてノード $N1$ を $1V$ に設定する。 $NAND$ 回路 $ND0$ は、入力信号 $IN1$ が $0V$ 、入力信号 $IN2$ が $1V$ にตอบสนองして、トランジスタ 103 をオンする。すなわち、トランジスタ 102 を介して電源電圧 VDD とノード $N0$ とが電氣的に結合される。したがって、ノード $N0$ の電圧レベルは、 $0.6V$ へ向かう。

【0114】

一方、タイミング回路 70 において、入力信号 $IN1$ が $0V$ にตอบสนองしてトランジスタ 71 がオンする。この場合において、トランジスタ 73 は導通状態である。したがって、電源電圧 VDD とノード $N0$ とが電氣的に結合される。したがって、結果的にノード $N0$ の電圧レベルは $1V$ に設定される。

【0115】

これに伴い、インバータ I N V 1 のトランジスタ N T 1 がオンし、接地電圧 G N D とノード N b とが電氣的に結合される。したがって、ノード N b の電圧レベルは 0 V に設定される。

【 0 1 1 6 】

タイミング回路 1 0 は、出力信号 O U T が 0 V となった時刻 T 4 以降においては、トランジスタ 7 3 をオフとし、電源電圧 V D D とノード N 0 との電氣的な接続をカットする。したがって、出力信号 O U T が 0 V である定常的な状態においては、トランジスタ N T 1 のゲート電圧は 0 . 6 V に降下される。これにより、トランジスタ N T 1 のゲートリーク電流を低減することができる。

【 0 1 1 7 】

本発明の実施の形態 5 のドライバ回路の構成により入力信号が I N 1 および I N 2 の 2 入力信号であるドライバ回路においても、最終段のインバータ I N V 1 を構成するトランジスタ N T 1 のリーク電流を低減することができ、全体的に消費電力を低減することが可能となる。

【 0 1 1 8 】

(実施の形態 5 の変形例)

図 1 4 は、本発明の実施の形態 5 の変形例に従うドライバ回路の回路構成図である。

【 0 1 1 9 】

本発明の実施の形態 5 の変形例に従うドライバ回路の構成においては 2 入力の入力信号 I N 1 および I N 2 に応じて O R 論理演算結果である出力信号 O U T を出力するドライバ回路の回路構成について説明する。

【 0 1 2 0 】

図 1 4 に示す実施の形態 5 の変形例に従うドライバ回路は、図 1 2 に示す実施の形態 5 のドライバ回路と比較して N A N D 回路 N D 0 および N D 1 を N O R 回路 N R 0 および N R 1 に置換した点と、タイミング回路 7 0 をタイミング回路 8 0 に置換した点とが異なる。

【 0 1 2 1 】

N O R 回路 N R 1 は、入力信号 I N 1 , I N 2 の入力を受けてその N O R 論理

演算結果をノードN1に出力する。NOR回路NR0は、トランジスタ112～116とを含む。ここでは、一例としてトランジスタ112～114は、PチャンネルMOSトランジスタとする。また、トランジスタ115および116は、NチャンネルMOSトランジスタとする。トランジスタ115および116は、ノードN0と接地電圧GNDとの間に並列にそれぞれ配置され、それぞれのゲートは入力信号IN1およびIN2の入力を受ける。トランジスタ112はソース側を電源電圧VDDと接続され、ゲートおよびドレイン間はそれぞれ電氣的に結合されたいわゆるダイオード接続されたトランジスタである。トランジスタ113および114は、トランジスタ112を介して電源電圧VDDとノードN0との間に直列に接続され、それぞれのゲートは入力信号IN1、IN2の入力を受ける。

【0122】

タイミング回路80は、トランジスタ81～83と、インバータ84とを含む。ここでは、一例としてトランジスタ81～83は、PチャンネルMOSトランジスタとする。トランジスタ81および82は、トランジスタ83を介してノードN0と電源電圧VDDとの間に直列に接続され、それぞれのゲートは入力信号IN1およびIN2の入力を受ける。また、トランジスタ83はトランジスタ82とノードN0との間に配置され、インバータ84を介して出力信号OUTの反転信号の入力を受ける。

【0123】

図15のタイミングチャート図を用いて本発明の実施の形態5の変形例に従うドライバ回路の動作について説明する。初期状態において、入力信号IN1およびIN2は、0Vとする。

【0124】

時刻T1において、入力信号IN2が0Vから1Vに遷移した場合について考える。入力信号IN1が0Vであり、入力信号IN2が1Vであるため、これに応答してNOR回路NR1は、ノードN1の電圧レベルを0Vに設定する。NOR回路NR0において、入力信号IN1およびIN2に応答してトランジスタ116がオンする。したがって、接地電圧GNDとノードN0とが電氣的に結合さ

れ、ノードN 0の電圧レベルは0 Vとなる。これに伴いインバータI N V 1のトランジスタP T 1がオンし、電源電圧V D DとノードN bとが電氣的に結合される。したがって、ノードN bの電圧レベルは、1 Vに設定される。

【0 1 2 5】

一方、タイミング回路8 0のトランジスタ8 3は、インバータ7 4を介する出力信号O U Tの反転信号の入力を受ける。したがって、出力信号O U Tが「H」レベルである場合において、トランジスタ8 3は導通状態に設定されている。

【0 1 2 6】

時刻T 2において、入力信号I N 2が1 Vから0 Vに遷移した場合について考える。この場合において、N O R回路N R 1は、入力信号I N 1およびI N 2に応答してノードN 1を1 Vに設定する。N A N D回路N R 0は、入力信号I N 1が0 V、入力信号I N 2が0 Vに応答して、トランジスタ1 1 3および1 1 4をオンする。すなわち、トランジスタ1 1 2を介して電源電圧V D DとノードN 0とが電氣的に結合される。したがって、ノードN 0の電圧レベルは、0. 6 Vへ向かう。

【0 1 2 7】

一方、タイミング回路7 0において、入力信号I N 1およびI N 2が共に0 Vに応答してトランジスタ8 1および8 2がオンする。この場合において、トランジスタ8 3は導通状態である。したがって、電源電圧V D DとノードN 0とが電氣的に結合される。したがって、結果的にノードN 0の電圧レベルは1 Vに設定される。

【0 1 2 8】

これに伴い、インバータI N V 1のトランジスタN T 1がオンし、接地電圧G N DとノードN bとが電氣的に結合される。したがって、ノードN bの電圧レベルは0 Vに設定される。

【0 1 2 9】

タイミング回路1 0は、出力信号O U Tが0 Vとなった時刻T 4以降においては、トランジスタ8 3をオフとし、電源電圧V D DとノードN 0との電氣的な接続をカットする。したがって、出力信号O U Tが0 Vである定常的な状態におい

ては、トランジスタNT1のゲート電圧は0、6Vに降下される。これにより、トランジスタNT1のゲートリーク電流を低減することができる。

【0130】

本発明の実施の形態5の変形例のドライバ回路の構成により入力信号がIN1およびIN2の2入力信号であるドライバ回路においても、最終段のインバータINV1を構成するトランジスタNT1のリーク電流を低減することができ、全体的に消費電力を低減することが可能となる。

【0131】

(実施の形態6)

図16は、本発明の実施の形態6に従うCMOSドライバ回路の回路構成図である。

【0132】

上記の実施の形態1～5のドライバ回路の構成においては、最終段のインバータを構成するトランジスタのゲート電圧を中間的な電圧レベルに設定することにより、最終段のインバータを構成するトランジスタのゲートリーク電流を低減する方式について説明してきた。

【0133】

本発明の実施の形態6に従うドライバ回路は、トランジスタNT1のゲートに与えるゲート電圧を非動作時に完全に接地電圧GNDレベルに落とすことにより、さらに消費電力を低減する構成について説明する。

【0134】

図16を参照して、本発明の実施の形態6に従うドライバ回路は、制御回路90とインバータINV1とを含む。制御回路90は、トランジスタ92～94と、インバータ95、96とを含む。ここではトランジスタ92および93は、一例としてNチャンネルMOSトランジスタとする。また、トランジスタ94は、一例としてPチャンネルMOSトランジスタとする。なお、トランジスタ92および93の電流駆動力はトランジスタNT1と比較して小さいものとする。具体的には、トランジスタ92および93のゲート幅は、トランジスタNT1のゲート幅よりも狭いものとする。

【 0 1 3 5 】

インバータ 9 6 は、入力信号 I N の反転信号をノード N 1 に出力する。トランジスタ 9 2 および 9 4 は、接地電圧 G N D とノード N 1 との間に直列に接続され、それぞれのゲートは入力信号 I N およびインバータ 9 5 を介する出力信号 O U T の反転信号の入力を受ける。また、トランジスタ 9 3 は、ノード N b と接地電圧 G N D との間に配置され、そのゲートはノード N 1 と結合される。

【 0 1 3 6 】

インバータ I N V 1 の構成については上述したのと同様であるのでその説明は繰返さない。

【 0 1 3 7 】

図 1 7 のタイミングチャート図を用いて本発明の実施の形態 6 のドライバ回路の動作について説明する。

【 0 1 3 8 】

時刻 T 1 において、入力信号 I N が 0 V から 1 V に遷移した場合について考える。インバータ 9 6 は、入力信号 I N の反転信号をノード N 1 に伝達する。すなわち、ノード N 1 は、接地電圧 G N D と電氣的に結合され、ノード N 1 の電圧レベルは 0 V に設定される。これに応答して、インバータ I N V 1 のトランジスタ P T 1 がオンし、電源電圧 V D D とノード N b とが電氣的に結合される。したがって、ノード N b の電圧レベルは 1 V となる。また、インバータ 9 5 は、出力信号 O U T (「H」レベル)を反転させた信号を 9 4 に出力する。この場合において、トランジスタ 9 4 は非導通状態である。また、入力信号 I N に応答してトランジスタ 9 2 がオンし、接地電圧 G N D とノード N 0 とが電氣的に結合され、ノード N 0 の電圧レベルは 0 V に設定される。

【 0 1 3 9 】

一方、時刻 T 2 において、入力信号 I N が 1 V から 0 V に遷移した場合について考える。インバータ 9 6 は、入力信号 I N の反転信号をノード N 1 に伝達する。すなわちノード N 1 は、電源電圧 V D D と電氣的に結合され、ノード N 1 の電圧レベルは 0 V から 1 V に設定される。また、上述したようにトランジスタ 9 4 は導通状態であるため電源電圧 V D D とノード N 0 とが電氣的に結合され、ノード

ドN 0の電圧レベルも1 Vに設定される。これに伴いインバータI N V 1のトランジスタN T 1がオンし、接地電圧G N DとノードN bとが電氣的に結合される。したがって、ノードN bの電圧レベルは0 Vに設定される。また、ノードN 1は1 Vであるためトランジスタ9 3がオンする。したがって、ノードN bは接地電圧G N Dと結合され、ノードN bは0 Vに固定される。

【0 1 4 0】

次に、インバータ9 5は、出力信号O U Tを反転して、トランジスタ9 4をオフする。したがって、ノードN 0は、フローティング状態となるがトランジスタN T 1のゲートリークによりじょじょにノードN 0の電圧レベルは下がり、トランジスタはオフ状態になる。

【0 1 4 1】

したがって、トランジスタN T 1がオンする場合には、そのゲートに1 Vの電圧が供給されるが、出力信号O U Tが0 Vとなった場合には、トランジスタN T 1をオフとする。出力ノードN bについては、トランジスタN T 1の代わりにトランジスタ9 3をノードN 1の電圧レベルに応じてオンさせることにより0 Vに固定する。すなわち、出力信号O U Tが1 Vから0 Vへ変化する遷移期間においては、動作速度の速いトランジスタN T 1がターンオンするため、その高速性を維持し、出力信号O U Tが0 Vに設定された後の定常期間には、トランジスタ9 3を用いて0 Vに固定する。したがって、リーク電流の大きなトランジスタN T 1を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【0 1 4 2】

本発明の実施の形態6のドライバ回路を用いることにより、トランジスタN T 1で生じるリーク電流をさらに低減することができ、結果としてドライバ回路全体のリーク電流を低減することができる。

【0 1 4 3】

なお、上記の実施の形態のドライバ回路においてはゲート酸化膜を薄膜化することにより、ゲートリーク電流が増大することについて説明した。一方、トランジスタN T 1のように動作速度が要求されるトランジスタについてはゲート酸化

膜を薄膜化する必要があるが、それ以外の高速性が要求されないトランジスタについては薄膜化する必要はない。したがってトランジスタNT1のみ薄膜化し、それ以外のトランジスタについてはゲート酸化膜を通常の膜厚とすることにより全体としてトランジスタのゲートリーク電流を低減することが可能である。具体的には、トランジスタNT1については薄膜化する工程を他のトランジスタと分離することにより製造が可能となる。

【0144】

また、比誘電率の高いいわゆる高誘電体のゲート酸化膜を用いることにより、二酸化ケイ素で構成されたゲート酸化膜の場合に比べて電界強度を上げることができる。すなわち、高誘電体のゲート酸化膜を用いることにより高速のトランジスタを実現することが可能となる。

【0145】

したがって、ゲート酸化膜厚を薄膜化した場合において、ゲート電圧を一時的に高くしない場合であっても、性能の同じ高速なトランジスタを実現することが可能となる。すなわち、このような高誘電体のゲート酸化膜をたとえばトランジスタNT1に用いることにより、結果としてゲートリーク電流を低減することが可能となる。

【0146】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0147】

【発明の効果】

請求項1, 12, 13記載の半導体装置は、第1および第2の内部ノードの電圧レベルに応じてオンする第1および第2のトランジスタと、第1および第2の内部ノードの電圧を制御する制御回路とを含む。また、制御回路は、対応するトランジスタをターンオンさせるとき内部ノードの電圧を第1および第2の電圧とは異なるレベルに設定する電圧調整回路を含む。この電圧調整回路により、対応

するトランジスタのゲート電圧を調整することができ、トランジスタに与えられるゲート電圧により生じるゲートリーク電流を低減することができる。

【 0 1 4 8 】

請求項 2 記載の半導体装置は、対応するトランジスタがターンオンするときの内部ノードの電圧は第 1 および第 2 の電圧に設定する。したがって、ターンオン時には、調整された電圧ではなく通常用いられるゲート電圧が対応するトランジスタのゲートに供給される。したがって、ドライバ回路の動作速度を高速化させることができる。

【 0 1 4 9 】

請求項 3 ～ 5 記載の半導体装置は、タイミング回路を有し、タイミング回路は、所定期間第 1 および第 2 の一方を対応するノードと接続する。これにより、対応するトランジスタのターンオン時は、トランジスタを高速化させる、すなわちドライバ回路の動作速度を高速化させることができる。

【 0 1 5 0 】

請求項 6 および 7 記載の半導体装置は、接続回路を有し、接続回路は、所定期間第 1 および第 2 の内部ノードを接続する。接続状態においては、調整された電圧ではなく通常用いられるゲート電圧が対応するトランジスタのゲートに供給される。

【 0 1 5 1 】

請求項 8 および 9 記載の半導体装置は、第 1 および第 2 のトランジスタは、電界効果型トランジスタで構成され、他の電界効果型トランジスタとはゲート酸化膜が異なる。したがって、動作高速性の要求される第 1 および第 2 のトランジスタについては膜厚を変えることにより実現することができるため、通常の電界効果型トランジスタから高速なトランジスタへの設計変更が容易である。

【 0 1 5 2 】

請求項 1 0 および 1 1 記載の半導体装置は、第 1 および第 2 のトランジスタは、電界効果型トランジスタで構成され、他の電界効果型トランジスタとはゲート誘電体膜が異なる。したがって、動作高速性の要求される第 1 および第 2 のトランジスタについては、比誘電率の異なる誘電体膜を用いることにより実現するこ

とができるので通常の電界効果型トランジスタから高速なトランジスタへの設計変更が容易である。

【 0 1 5 3 】

請求項 1 4 記載の半導体装置は、第 1 および第 2 の内部ノードの電圧レベルに応じてオンする第 1 および第 2 のトランジスタと、第 2 のトランジスタと並列に出力ノードと第 2 の電圧との間に配置された第 3 のトランジスタと、第 1 および第 2 の内部ノードの電圧を制御する制御回路を設ける。また、制御回路は、内部ノードの一方に対応するトランジスタのターンオン時において、トランジスタをオンさせる一方の電圧と対応する内部ノードとを所定期間接続するタイミング回路を含む。また、第 2 のトランジスタは、第 3 のトランジスタよりも第 2 の電圧を供給する駆動力が大きい。この構成にしたがい、所定期間第 2 のトランジスタを用いて出力ノード N b を駆動して、それ以外の期間は第 3 のトランジスタを用いて出力ノード N b を駆動する。これにより、所定期間だけ第 2 のドライバ回路を用いてドライバ回路を高速動作させることにより、回路の高速性を担保しつつ回路全体のリーク電流を低減することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に従う CMOS ドライバ回路の回路構成図である。

【図 2】 本発明の実施の形態 1 に従うドライバ回路の動作のタイミングチャート図である。

【図 3】 トランジスタの単位ゲート面積当たりのゲートリーク電流とそのときのゲート電圧との関係を示す図である。

【図 4】 本発明の実施の形態 2 に従うドライバ回路の構成図である。

【図 5】 本発明の実施の形態 2 に従うドライバ回路の動作のタイミングチャート図である。

【図 6】 本発明の実施の形態 2 の変形例 1 に従う CMOS ドライバ回路の回路構成図である。

【図 7】 本発明の実施の形態 2 の変形例 2 に従う CMOS ドライバ回路の回路構成図である。

【図 8】 本発明の実施の形態 3 に従う CMOS ドライバ回路の回路構成図である。

【図 9】 本発明の実施の形態 3 の変形例 1 に従う CMOS ドライバ回路の回路構成図である。

【図 1 0】 本発明の実施の形態 4 に従う CMOS ドライバ回路の回路構成図である。

【図 1 1】 本発明の実施の形態 4 に従うドライバ回路の動作のタイミングチャート図である。

【図 1 2】 本発明の実施の形態 5 に従うドライバ回路の回路構成図である。

【図 1 3】 本発明の実施の形態 5 に従うドライバ回路の動作のタイミングチャート図である。

【図 1 4】 本発明の実施の形態 5 の変形例に従うドライバ回路の回路構成図である。

【図 1 5】 本発明の実施の形態 5 の変形例に従うドライバ回路の動作のタイミングチャート図である。

【図 1 6】 本発明の実施の形態 6 に従う CMOS ドライバ回路の回路構成図である。

【図 1 7】 本発明の実施の形態 6 のドライバ回路の動作のタイミングチャート図である。

【図 1 8】 入力信号を内部回路に伝播する従来の CMOS ドライバ回路の回路構成図である。

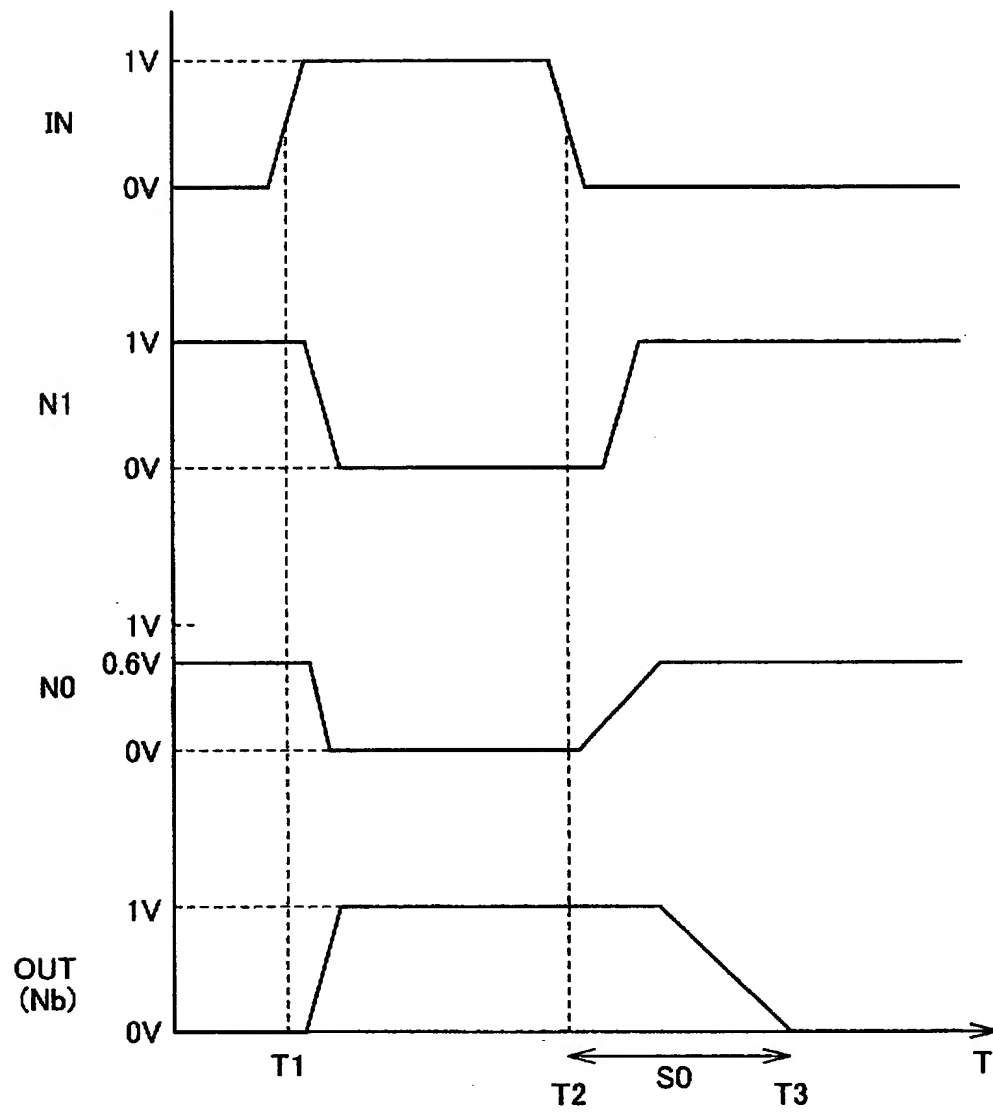
【図 1 9】 従来の CMOS ドライバ回路の動作のタイミングチャート図である。

【図 2 0】 ゲート酸化膜の厚膜とトランジスタ 1 個当りのゲートリーク電流との関係を示す図である。

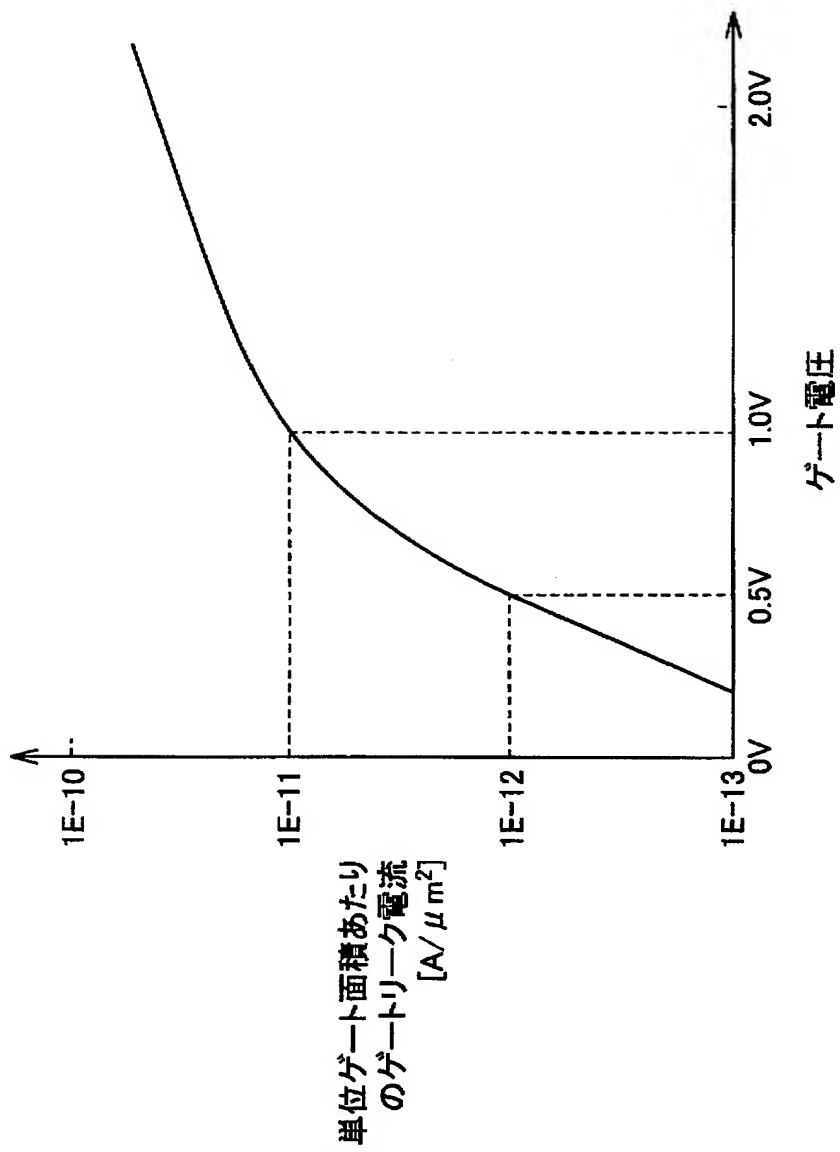
【符号の説明】

1 0, 2 0, 3 0, 4 0, 5 0, 6 0, 7 0, 8 0 タイミング回路、9 0 制御回路、INV 1, INV 2, INV 3, INV # 3 インバータ。

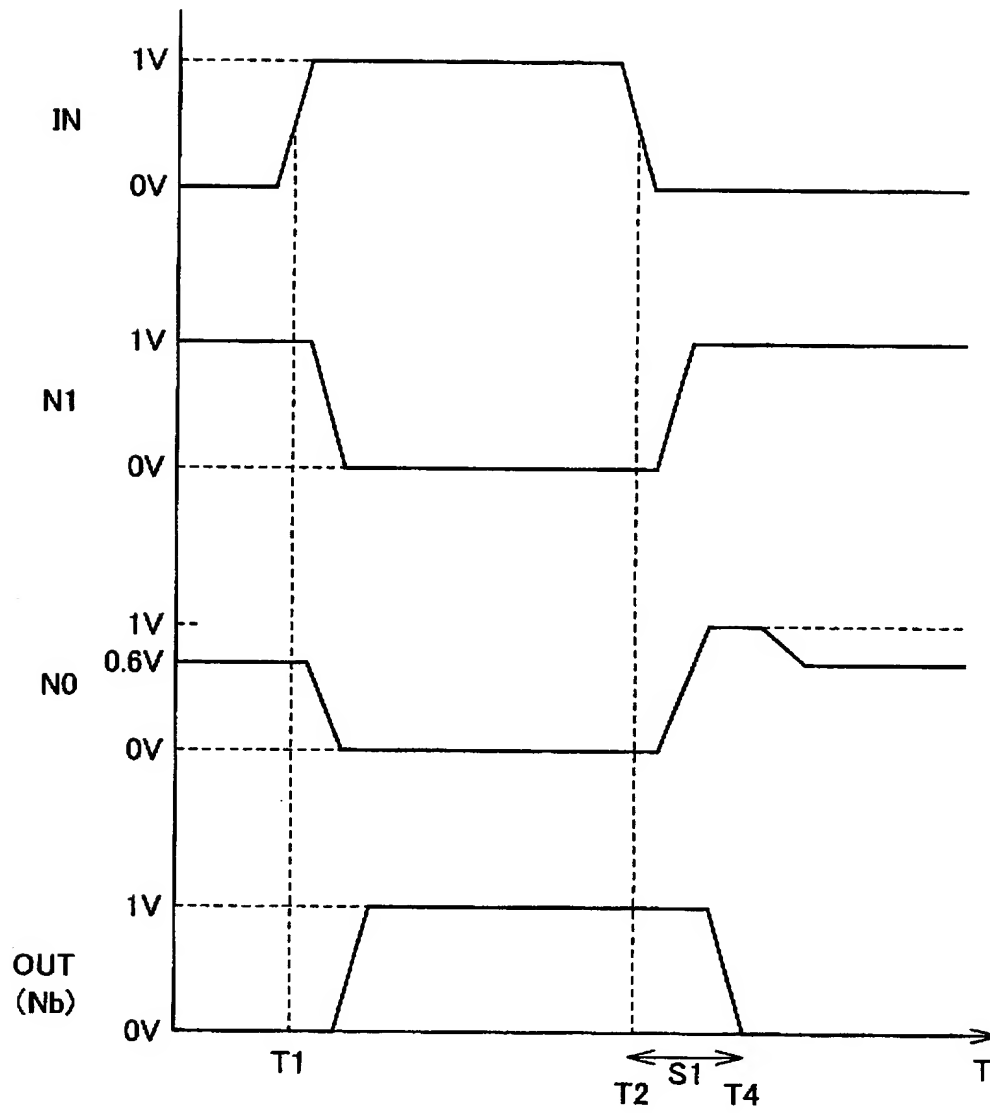
【図 2】



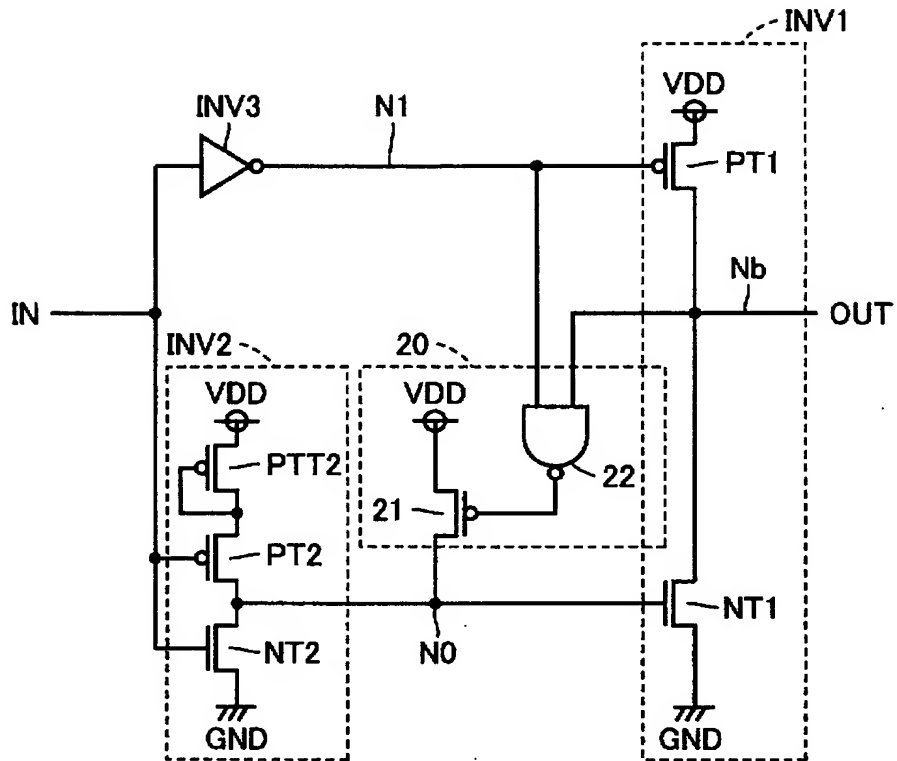
【図 3】



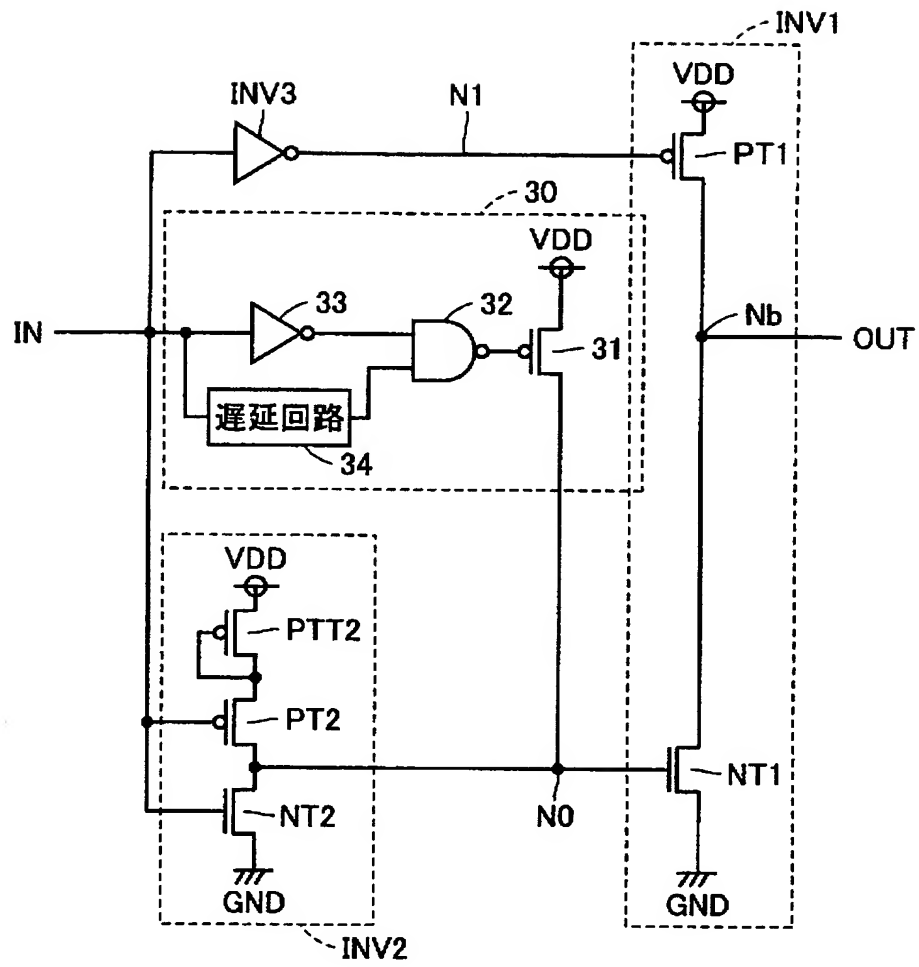
【図 5】



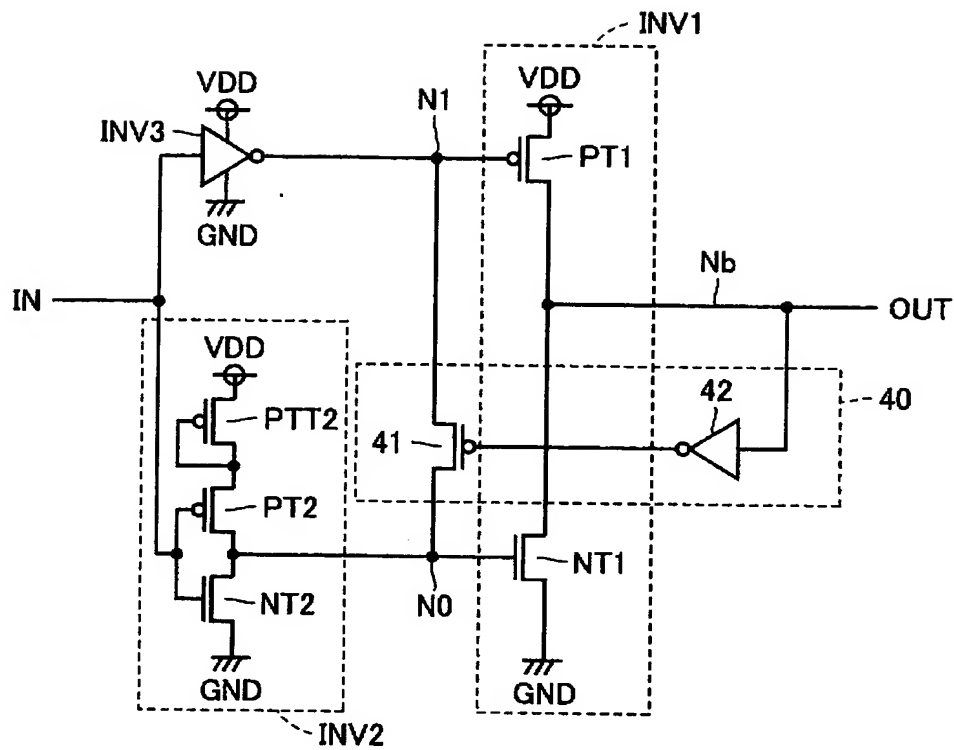
【図 6】



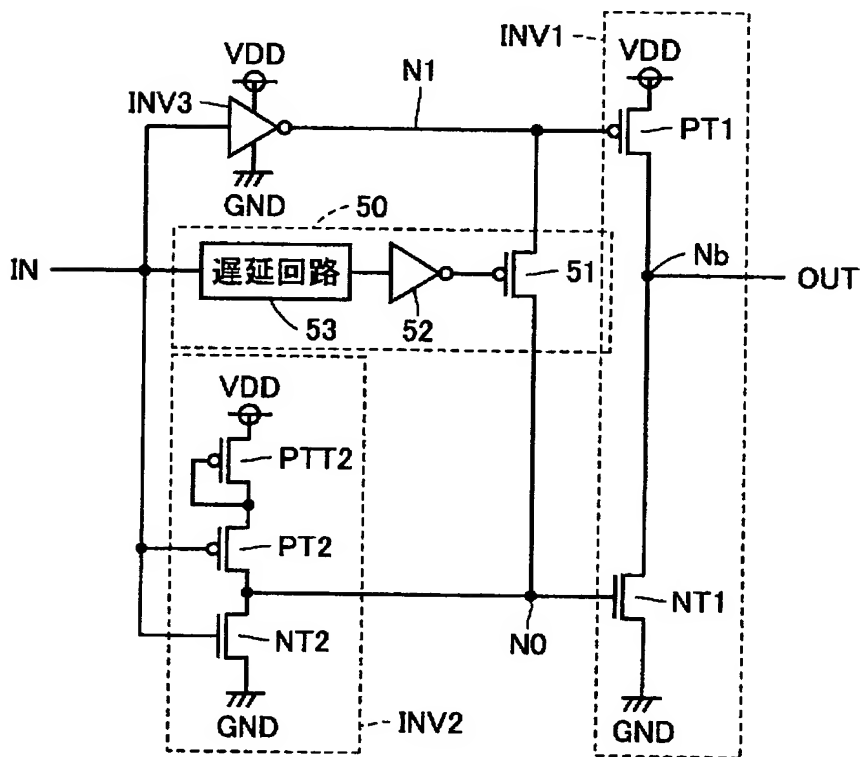
【図 7】



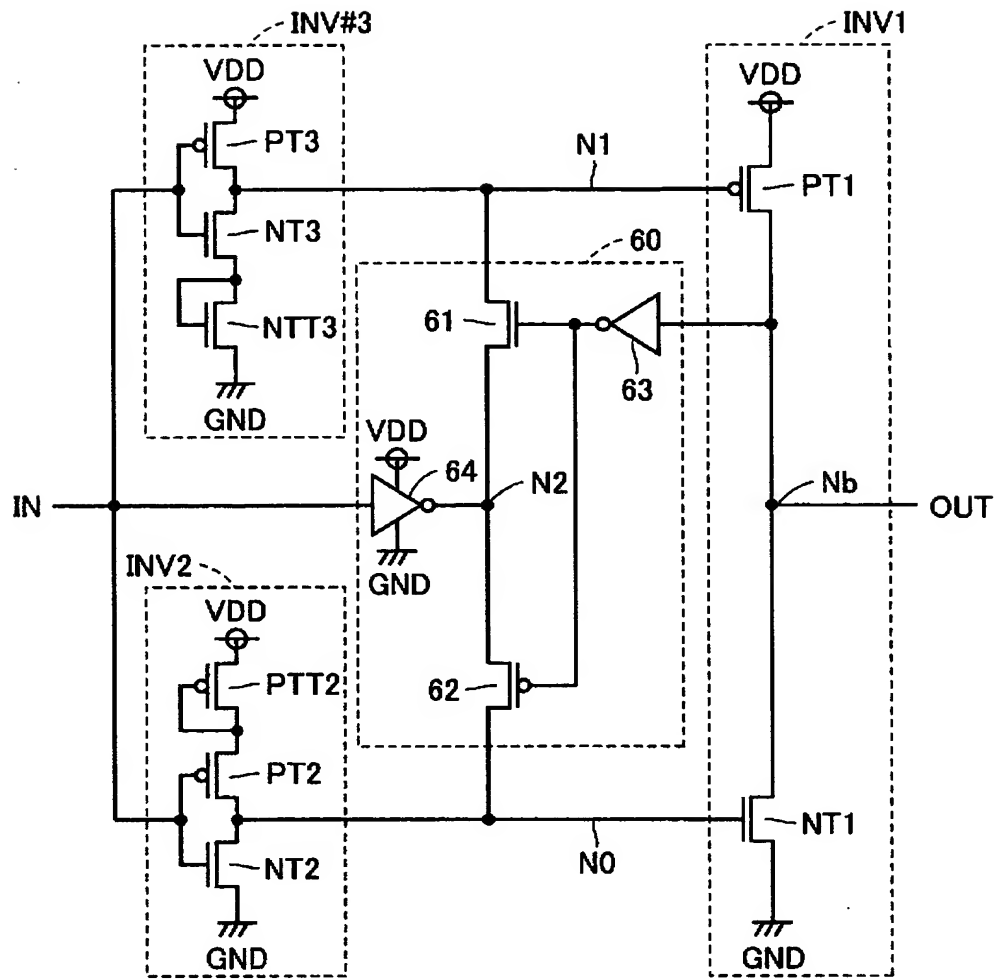
【図 8】



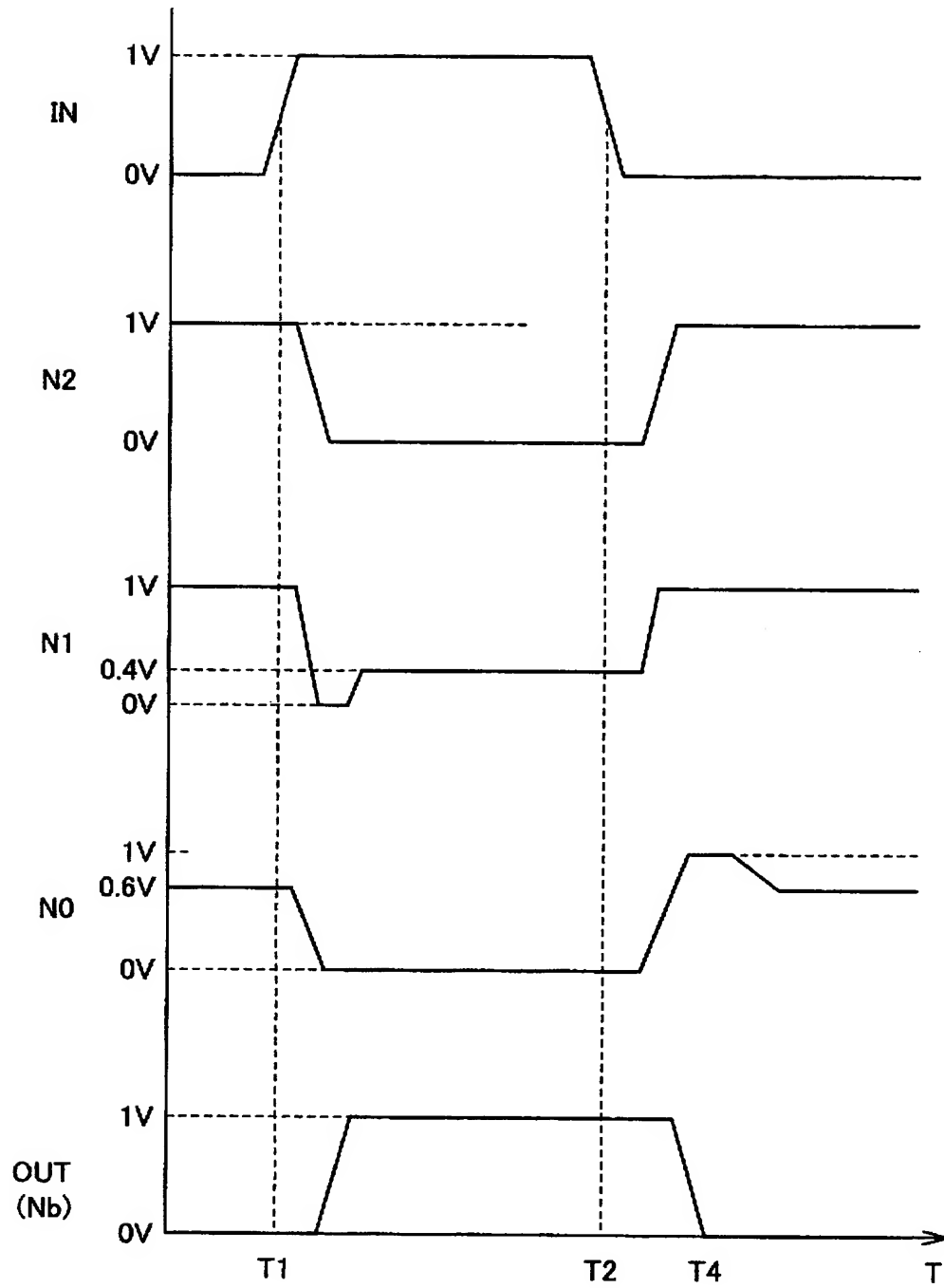
【図 9】



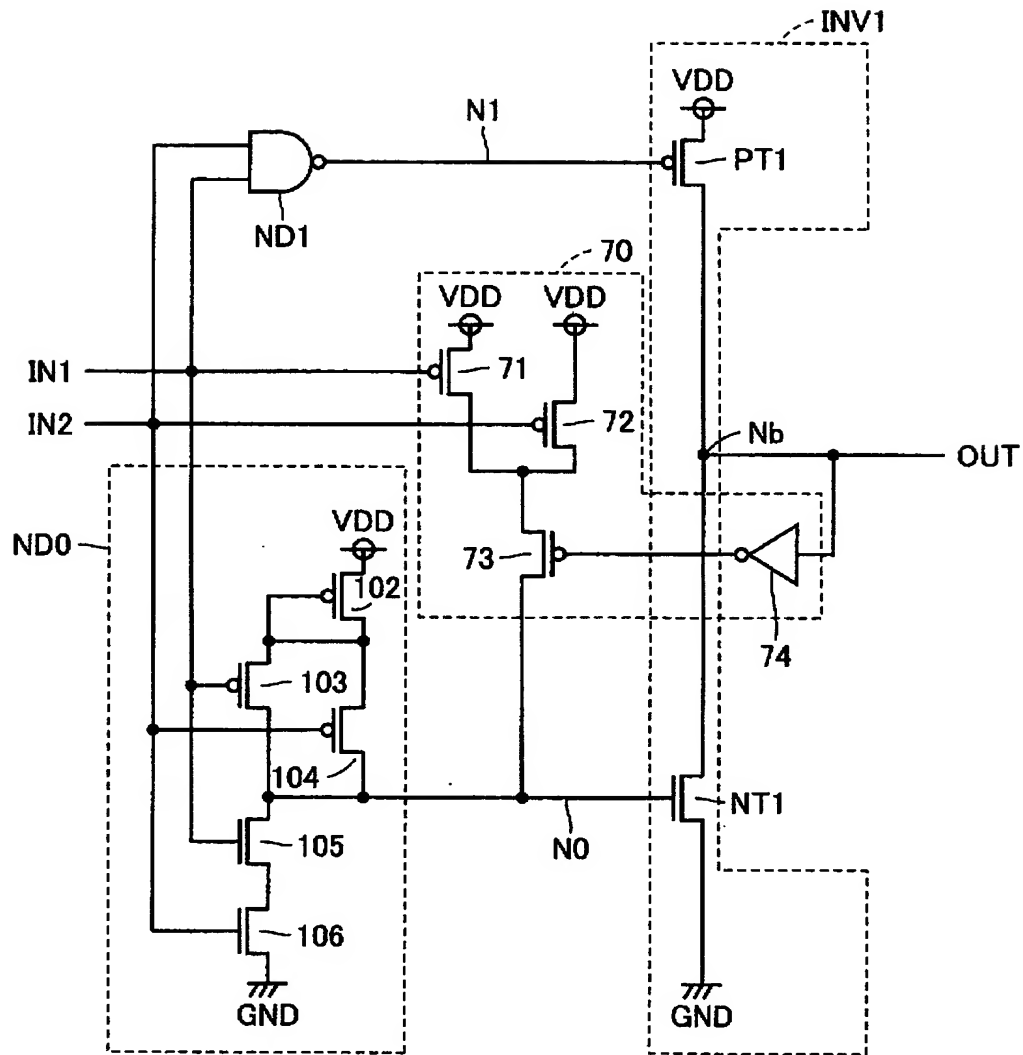
【図 1 0】



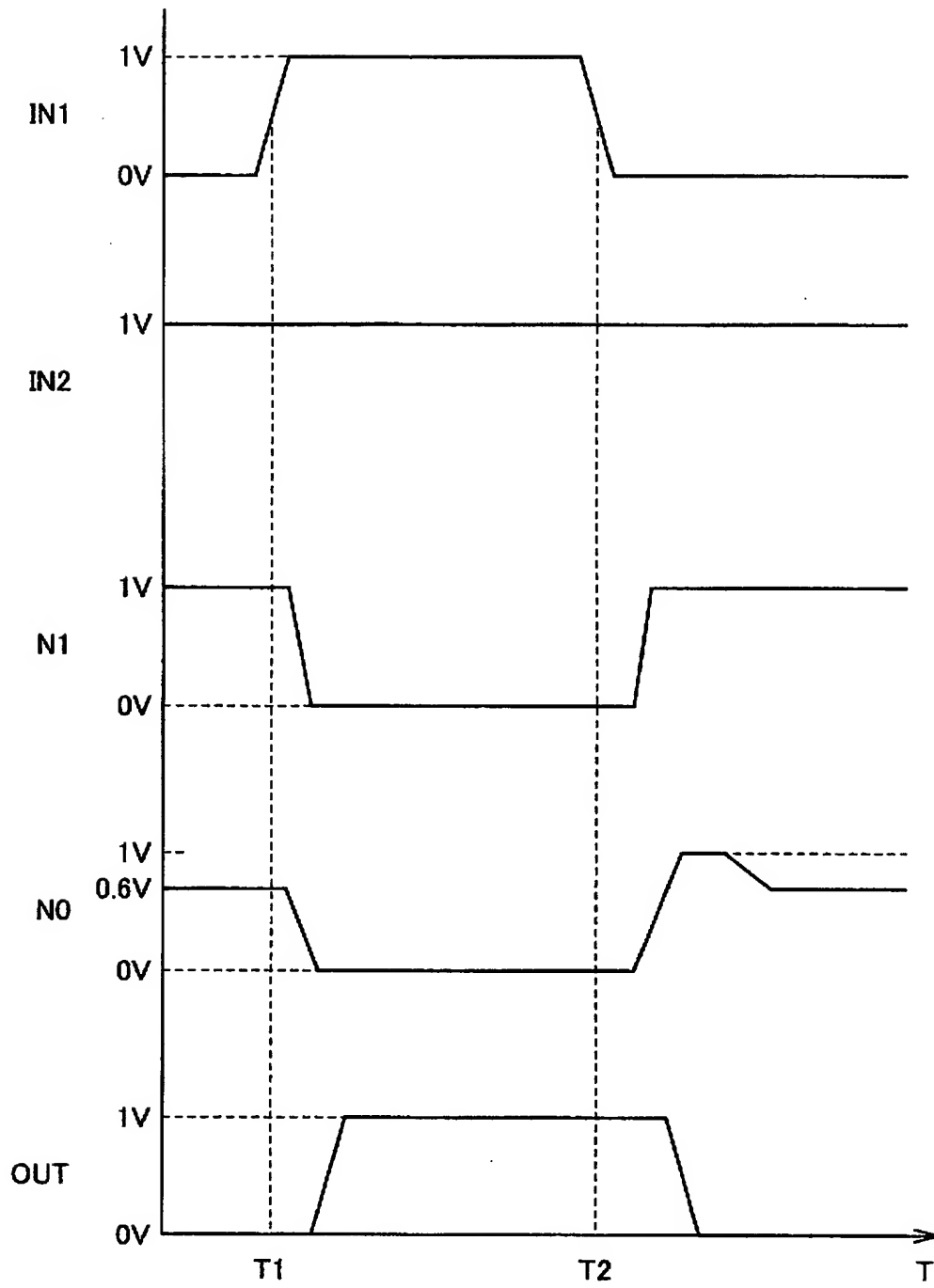
【図 1 1】



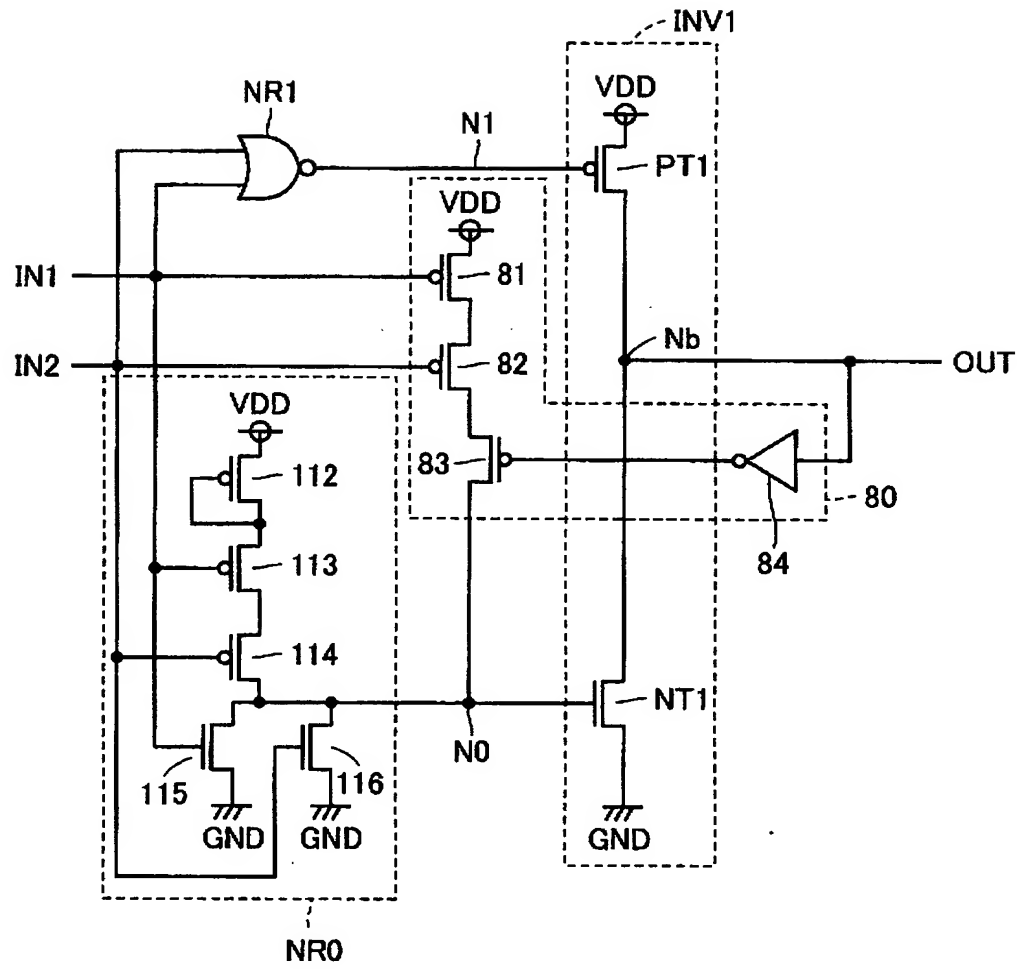
【図 12】



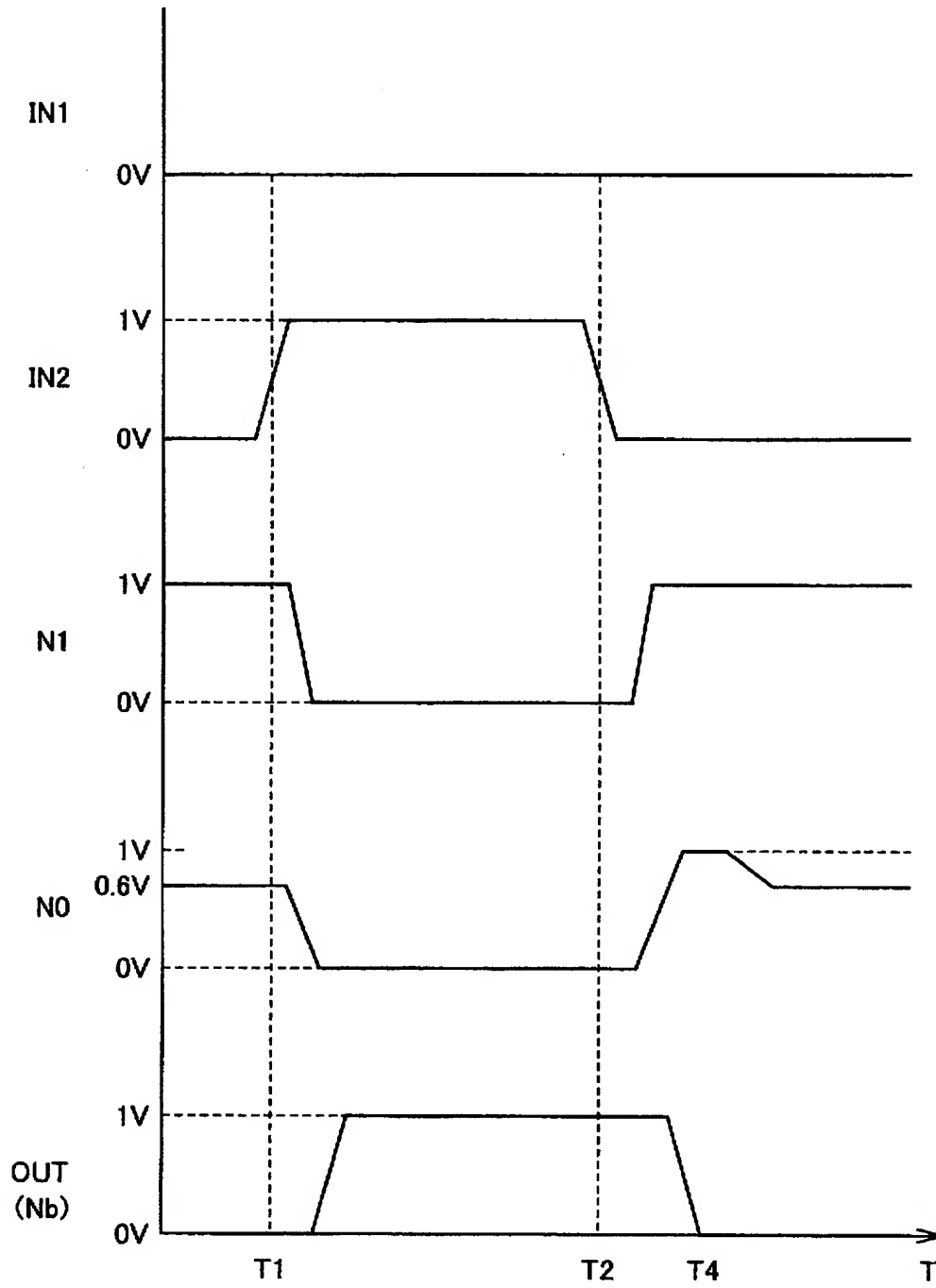
【図 1 3】



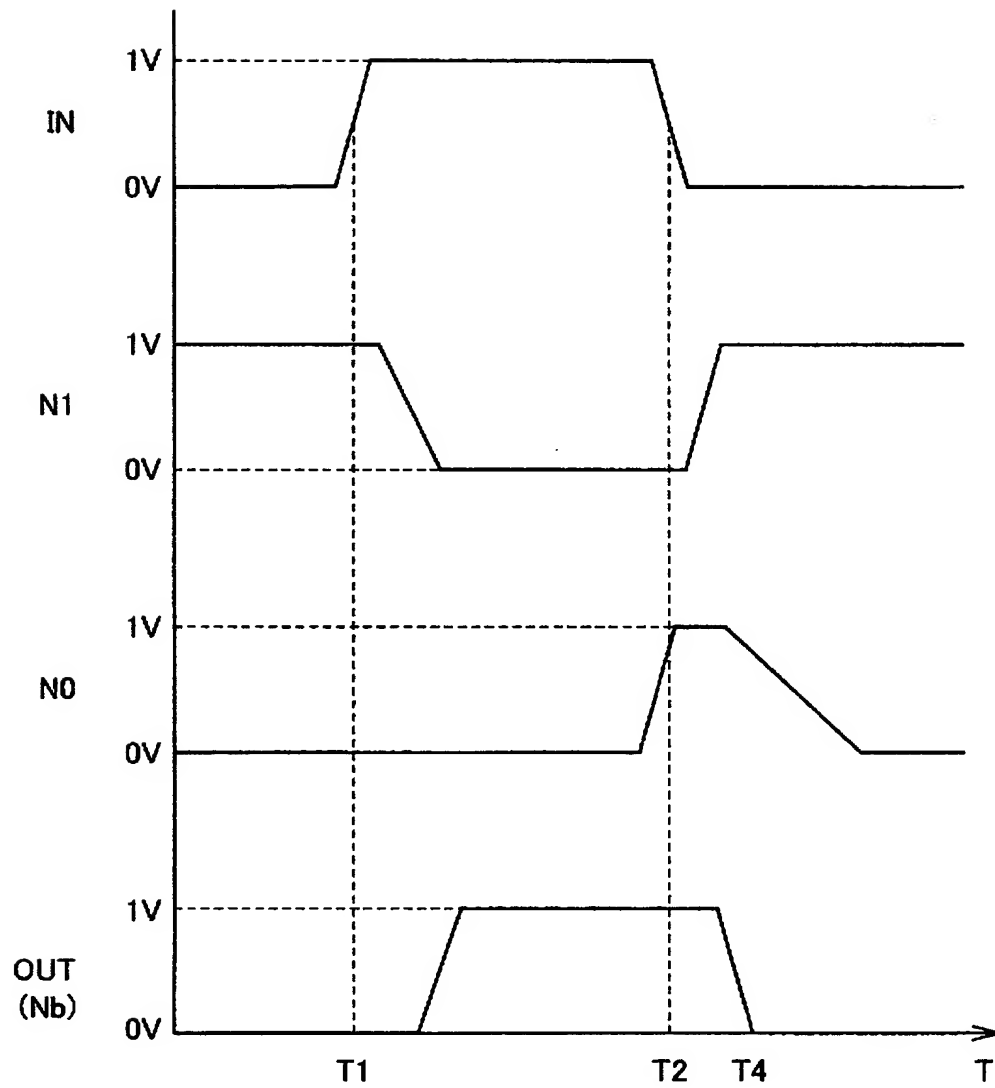
【図 14】



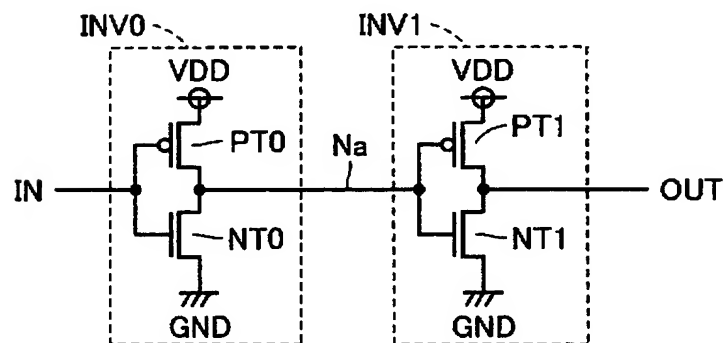
【図 1 5】



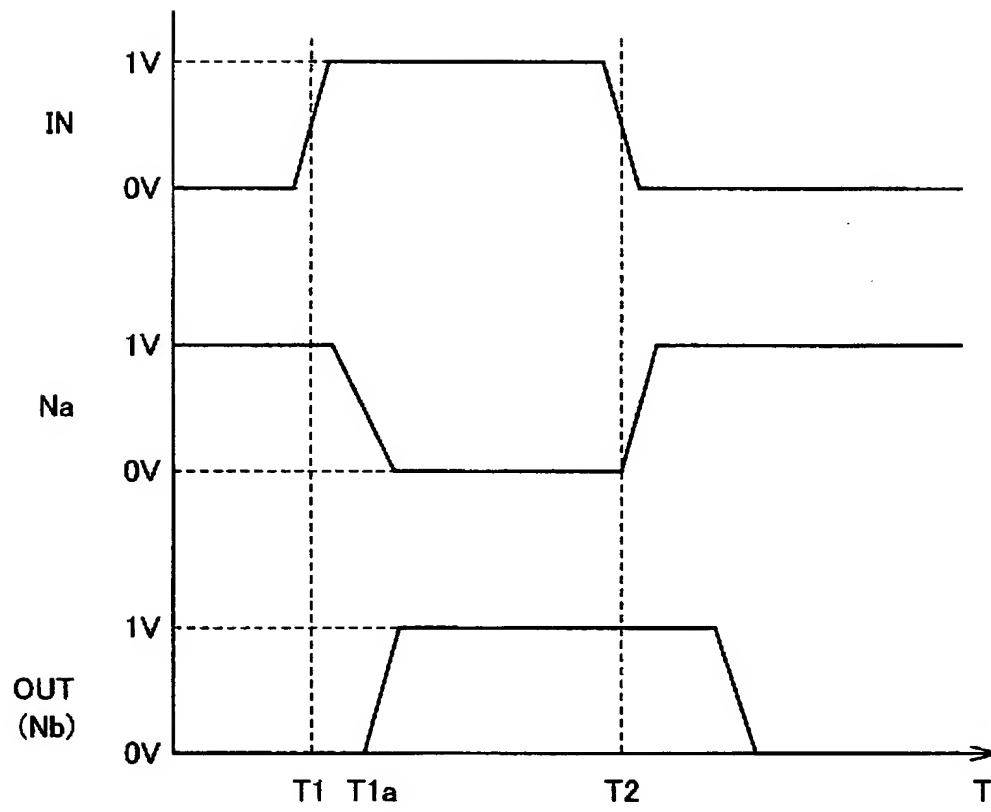
【図 17】



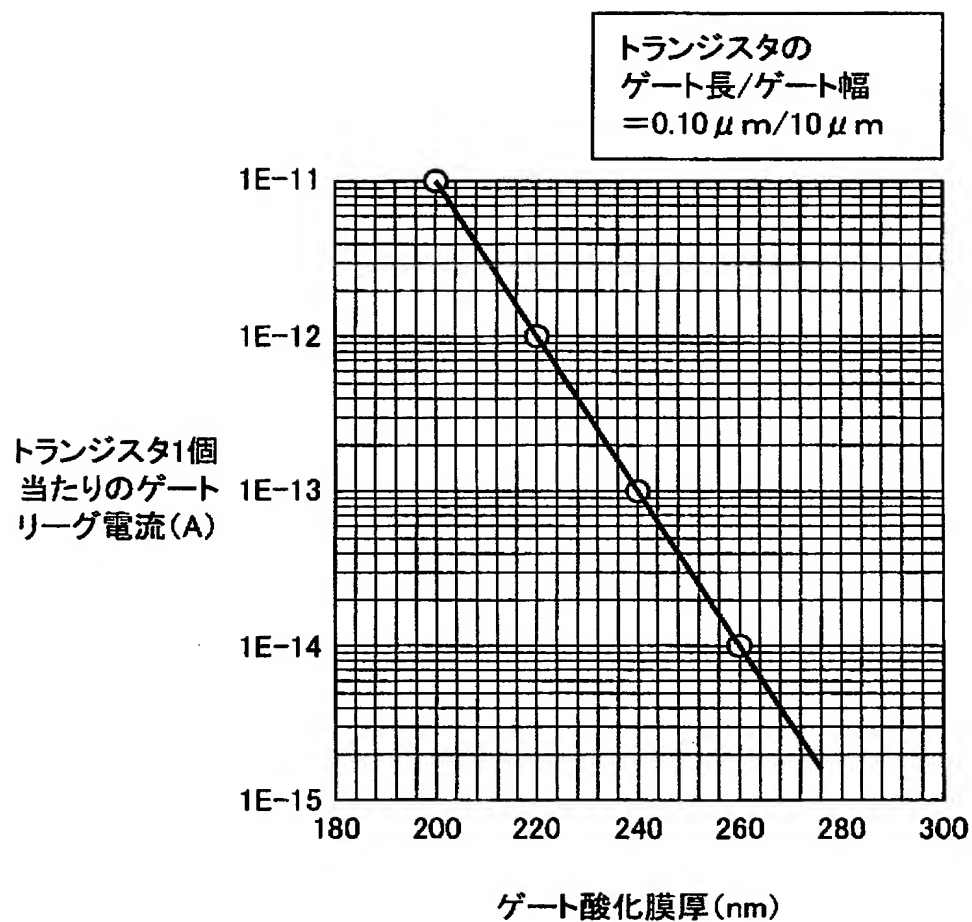
【図 18】



【図 1 9】



【図 2 0】



【書類名】 要約書

【要約】

【課題】 ゲート酸化膜厚の薄いトランジスタを有するドライバ回路のゲートリーク電流を抑制して消費電力を低減する半導体装置を提供する。

【解決手段】 インバータ $INV2$ および $INV3$ を用いて入力信号 IN に応じてノード $N0$ および $N1$ の電圧を制御する。また、インバータ $INV2$ に含まれるトランジスタ $PTT2$ を用いてトランジスタ $NT1$ の電圧レベルを調整する。

トランジスタ $NT1$ のゲートに供給するゲート電圧を電源電圧 VDD よりも低くオン電圧よりも高い値に設定することにより、トランジスタ $NT1$ のゲートリーク電流を大幅に低減することができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社